

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/002108

International filing date: 04 February 2005 (04.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-033075
Filing date: 10 February 2004 (10.02.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

04. 2. 2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 1 0 日
Date of Application:

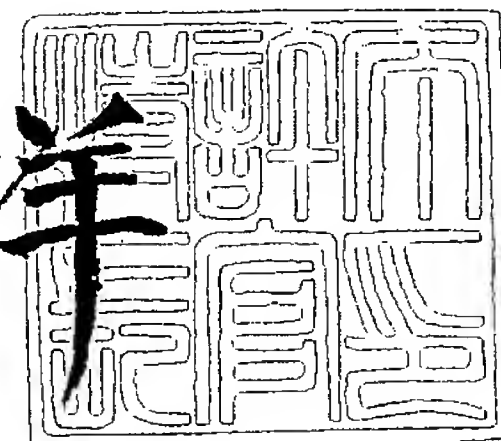
出 願 番 号 特 願 2 0 0 4 - 0 3 3 0 7 5
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 3 3 0 7 5]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 5 年 3 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



【書類名】 特許願
【整理番号】 P007723
【提出日】 平成16年 2月10日
【あて先】 特許庁長官 殿
【発明者】
 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究
 所内
 【氏名】 加藤 清
【特許出願人】
 【識別番号】 000153878
 【氏名又は名称】 株式会社半導体エネルギー研究所
 【代表者】 山崎 舜平
【手数料の表示】
 【予納台帳番号】 002543
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

電圧あるいは電流を印加することで電気特性の異なる第 1 状態から第 2 状態へのみ遷移が可能ない対の記憶素子を単位とし、一方の記憶素子が第 1 状態であり、他方の記憶素子が第 2 状態である 2 つの状態を用いて 1 ビットのデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

【請求項 2】

電圧あるいは電流を印加することで電気特性の異なる第 1 状態から第 2 状態へのみ遷移が可能ない対の記憶素子を単位とし、前記一対の記憶素子が取り得る 4 つの状態のうち、前記第 1 記憶素子もしくは第 2 記憶素子に電圧を印加することで互いに遷移することができない 2 つの状態を用いて 1 ビットのデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

【請求項 3】

電圧を印加することでしきい値電圧の異なる第 1 状態から第 2 状態へのみ遷移が可能ない対の記憶素子を単位とし、一方の記憶素子が第 1 状態であり、他方の記憶素子が第 2 状態である 2 つの状態を用いて 1 ビットのデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

【請求項 4】

電圧を印加することでしきい値電圧の異なる第 1 状態から第 2 状態へのみ遷移が可能ない対の記憶素子を単位とし、前記一対の記憶素子が取り得る 4 つの状態のうち、前記一対の記憶素子に電圧を印加することで互いに遷移することができない 2 つの状態を用いて 1 ビットのデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

【請求項 5】

電流を印加することで抵抗値の異なる第 1 状態から第 2 状態へのみ遷移が可能ない対の記憶素子を単位とし、一方の記憶素子が第 1 状態であり、他方の記憶素子が第 2 状態である 2 つの状態を用いて 1 ビットのデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

【請求項 6】

電流を印加することで抵抗値の異なる第 1 状態から第 2 状態へのみ遷移が可能ない対の記憶素子を単位とし、前記一対の記憶素子が取り得る 4 つの状態のうち、前記一対の記憶素子に電圧を印加することで互いに遷移することができない 2 つの状態を用いて 1 ビットのデータを記憶するメモリセルを構成したことを特徴とする不揮発性メモリ。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、前記メモリセルがデータを記憶した状態であるか否かの判別信号を出力する手段が備えられていることを特徴とする不揮発性メモリ。

【請求項 8】

請求項 3 又は請求項 4 において、前記記憶素子は、多結晶シリコン膜、微結晶シリコン膜、金属膜、微結晶金属膜、もしくは窒化膜からなる電荷蓄積層を有することを特徴とする不揮発性メモリ。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項に記載された不揮発性メモリが組み込まれていることを特徴とする IC カード。

【請求項 10】

請求項 1 乃至請求項 8 のいずれか一項に記載された不揮発性メモリが組み込まれていることを特徴とする ID カード。

【請求項 11】

請求項 1 乃至請求項 8 のいずれか一項に記載された不揮発性メモリが組み込まれていることを特徴とする ID タグ。

【書類名】 明細書

【発明の名称】 不揮発性メモリ

【技術分野】

【0 0 0 1】

本発明は不揮発性メモリに関する。特に、一度だけデータの書き込みが可能である不揮発性メモリに関する。

【背景技術】

【0 0 0 2】

メモリは、大別して、S R A M (Static Random Access Memory) や D R A M (Dynamic Random Access Memory) 等の揮発性メモリと、E E P R O M (electrically erasable programmable read only memory) やフラッシュ E E P R O M 等の不揮発性メモリがある。揮発性メモリは、電源を切るとデータが失われてしまうという欠点がある。一方、不揮発性メモリは電源を切ってもデータが失われることなく、システム起動のためのプログラムなどに用いられている。

【0 0 0 3】

近年、I C カード用途の不揮発性メモリが注目を浴びている。現在普及している磁気カードは、データの書き換えが比較的容易であり、セキュリティが低いと言う問題がある。このような背景から、I C カードは磁気カードに変わる媒体として期待されており、電子マネーや住民カードといった用途が検討されている。特に、偽造や不正使用を避ける目的で、データのセキュリティに関する機能が重要視されている。

【0 0 0 4】

半導体を用いた不揮発性メモリには、フローティングゲート構造の記憶素子、強誘電体素子、或いは磁気抵抗や位相変化を示す記憶素子を用いた書き換え可能タイプと、マスク R O M などの書き換え不能タイプがある。その他に、フローティングゲート構造の記憶素子や移動変化を示す記憶素子を用いた一度だけ書き込み可能な（以下「O T P (one-time programmable)」ともいう。）タイプがある（例えば、特許文献 1 参照。）。

【特許文献 1】 特開 2 0 0 3 - 5 1 1 9 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 5】

従来の O T P タイプの不揮発性メモリは一度しか書き込みができないため、データを改竄される心配がなく、セキュリティが高いと考えられている。例えば、フローティングゲート構造の記憶素子を用いた O T P タイプの不揮発性メモリは、一度書きこまれたデータは紫外線を当てないと消去することはできない。従って、密閉された O T P タイプの不揮発性メモリはパッケージを破壊しない限りデータを消去することは不可能である。しかし、データの書き込みを追加で行う（書き加える）ことは電氣的に可能であり、これによってデータを変更されてしまう可能性があるという問題点がある。

【0 0 0 6】

本発明は上記の問題点を鑑み、電氣的なデータの変更が困難な、セキュリティの高い O T P タイプの不揮発性メモリを提供することを課題とする。

【課題を解決するための手段】

【0 0 0 7】

上記課題を解決するために、本発明は、二つの状態を持ち、電氣的に一方向への遷移のみが可能な記憶素子を用いた O T P タイプの不揮発性メモリにおいて、1 ビットデータを記憶するのに複数の記憶素子を用いることを要旨とする。

【0 0 0 8】

すなわち、本発明では H 状態と L 状態（以下単に「H」、「L」ともいう。）の二つの状態を持ち、電氣的には L から H への一方向の遷移のみが可能な記憶素子を用いた O T P タイプの不揮発性メモリにおいて、1 ビットデータの格納に 2 つの記憶素子を用いることを特徴としている。

【0009】

具体的には、2つの記憶素子の状態を(L, L)、(H, L)、(L, H)、(H, H)と表すとすると、状態(H, L)を"1"に、状態(L, H)を"0"に割り当てることを特徴とする。勿論、この両者の関係は逆であっても構わない。

【0010】

2つの記憶素子が有する状態は、(L, L)から(H, L)へ、さらに(H, H)へ遷移する状態。または、(L, L)から(L, H)へ、さらに(H, H)へ遷移する状態のいずれかである。なお、(H, L)と(L, H)とは互いに遷移できない。

【0011】

従って、この二つの状態を用いて1ビットのデータを表すことで、一度書き込んだデータを、他のデータに変更することが不可能な不揮発メモリを実現することが可能となる。そして、このメモリの読み出しにおいて、例えば(H, H)が読み出された場合は、不正な追加書き込みがあったと判断しそのデータを無効とすることができる。

【0012】

このようにして、セキュリティの高いOTPタイプの不揮発性メモリを実現することができる。より具体的に、本発明は、以下の構成を採用している。

【0013】

本発明は、電圧あるいは電流を印加することで電気特性の異なる第1状態から第2状態へのみ遷移が可能な一对の記憶素子を単位とし、一方の記憶素子が第1状態であり、他方の記憶素子が第2状態である2つの状態を用いて1ビットのデータを記憶するメモリセルを構成した不揮発性メモリである。

【0014】

本発明は、電圧あるいは電流を印加することで電気特性の異なる第1状態から第2状態へのみ遷移が可能な一对の記憶素子を単位とし、一对の記憶素子を取り得る4つの状態のうち、第1記憶素子もしくは第2記憶素子に電圧を印加することで互いに遷移することができない2つの状態を用いて1ビットのデータを記憶するメモリセルを構成した不揮発性メモリである。

【0015】

上記発明の構成において、第1状態及び第2状態とは、トランジスタのしきい値電圧、オン電流値、抵抗値、磁化の方向、電場の方向などであり、本発明はその状態変化を利用することでOTPタイプの不揮発性メモリを実現する。

【発明の効果】

【0016】

少なくとも2つの記憶素子を用い、その記憶素子を取り得る2状態を用いて1ビットのデータを表すことで、一度記憶させたデータを書き換えることができない不揮発メモリを実現することが可能となり、セキュリティの高いOTPタイプの不揮発性メモリを実現することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について、図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0018】

本実施の形態では、二つの状態、LとHを有し、LからHにのみ遷移可能な記憶素子からなるOTPタイプの不揮発性メモリにおいて、2個の記憶素子からなるメモリセルを1ビットのデータ格納の単位とし、一方の記憶素子がL状態、もう一方の記憶素子がH状態である状態の組を用いて1ビットのデータを格納する形態を、図1、図2、図4を用いて

説明する。

【0019】

本実施の形態におけるOTPタイプの不揮発性メモリにおける、メモリセルアレイの回路構成は、1ビットデータを格納するメモリセルが従来のメモリセル2個分に相当する点に特徴がある。1ビットデータに2つの記憶素子を用いることから、読出し回路と書き込み回路では、入出力データとビット線との間でデータの変換を行う必要がある。また、本実施の形態では、新たにデータの信頼性を表す信号（以下、バリッド信号と呼ぶ）を出力することを特徴とし、読み出したデータが信頼できるか否かを、この信号をみることで判断できる構成となっている。

【0020】

記憶素子は、OTPタイプの不揮発性メモリの記憶素子をそのまま用いることができる。すなわち、フローティングゲートを有するトランジスタで形成される記憶素子を用い、該記憶素子の状態遷移はチャネルホットエレクトロンがフローティングゲートに入ることによって行う。フローティングゲート内のチャネルホットエレクトロンの有無によってH状態、L状態を決定するという方法を取ることができる。一度フローティングゲートに入ったチャネルホットエレクトロンは電氣的には抜き去ることができないため、全てLからHへの一方向の遷移となる。

【0021】

本実施の形態におけるOTPタイプの不揮発性メモリの構成例について、図1を用いて説明する。本発明の不揮発性メモリは、基板100上に書き込み回路101、読出し回路102、ローデコーダ103、コラムデコーダ104、セクタ105、メモリセルアレイ106等を有する（図1（A）参照。）。メモリセルアレイ106はm本のワード線と、 $2 \times n$ 本のビット線、マトリクス上に配置された $m \times n$ 個のメモリセル107とを有する。

【0022】

メモリセル107は、第1の記憶素子108及び第2の記憶素子109を有する（図1（B）参照。）。第1の記憶素子108及び第2の記憶素子109は、それぞれフローティングゲート、コントロールゲート、ソース領域及びドレイン領域を有する。各コントロールゲートは共通のワード線（図面では「word」と表記する。）に接続されている。ソース領域及びドレイン領域の一方は、それぞれ異なるビット線（図中では「bit1」、「bit2」と表記する。）に接続されており、もう一方は共通電極（SC）に接続されている。

【0023】

メモリセル107に記憶される情報は、第1の記憶素子108と第2の記憶素子109の状態によって決定される。例えば、メモリセル107の状態、すなわち第1の記憶素子108の状態Aと第2の記憶素子109の状態Bを（A，B）と表記し、（H，L）の状態をデータ“1”（High）、（L，H）の状態をデータ“0”（Low）と割り当てたとする。

【0024】

メモリセル107への書き込みは、メモリセル107が（L，L）の状態に対して行なわれる。メモリが書き込みを表すコントロール信号（Control）を受け取ると、書き込みに必要となる電圧が選択され、書き込み回路101は、データ信号（Data）を（H，L）もしくは（L，H）の内部データ形式に変換し、内部データバスに乗せる。同時に、アドレス信号がローデコーダ103及びコラムデコーダ104に入力され、メモリセルを選択する。その結果、選択されたメモリセルに接続されるワード線に高電位が、ビット線には内部データに対応した書き込み用の高電位がそれぞれ印加され書き込みが行われる。

【0025】

第1の記憶素子108に接続されるビット線に高電位を印加した場合は（H，L）となり、従ってメモリセル107に記憶されるデータは“1”となり、第2の記憶素子109に接続されるビット線に高電位を印加した場合は（L，H）となり、従ってメモリセル10

7に記憶されるデータは"0"となる。

【0026】

書き込み回路を単純化した不揮発性メモリについて、図4を用いて説明する。図4に書き示す回路は3ビット分のメモリセルおよび該メモリセルに入力データを書き込む回路である。

【0027】

図4に示す不揮発性メモリはメモリセル1300、セクタ1303、書き込み回路1310を有する。メモリセル1300は第1の記憶素子1301、第2の記憶素子1302を有し、セクタ1303はスイッチ1304～1309を有し、書き込み回路1310はスイッチ1311～1312、インバータ1313を有する。

【0028】

この回路は次のように動作させることができる。入力データは書き込み回路1310内のインバータ1313、スイッチ1311、1312によって書き込み電位 V_w またはGNDの2値を持つ内部データに変換される。具体的には、入力データが"1"の時、2本の内部データバスを(V_w , GND)となるように駆動する。そして、セクタ1303がメモリセル1300を選択すると、選択されたメモリセル1300は、(H, L)状態となるように書き込みが行われる。同様に、入力データが"0"の時、2本の内部データバスを(GND, V_w)となるように駆動する。そして、セクタ1303がメモリセル1300を選択すると、選択されたメモリセル1300は、(L, H)状態となるように書き込みが行われる。

【0029】

前述したように記憶素子における状態遷移は、LからHへの一方向である。つまり、可能な状態遷移は(L, L)から(H, L)、そして(H, H)となる順番である。または、(L, L)から(L, H)、そして(H, H)となる順番であり、この両者の一方の遷移が許容されることとなる。従って、(H, L)と(L, H)は互いに遷移できない。その結果、一旦"0" (状態(L, H)) となったデータは"1" (状態(H, L)) に書き換える事はできない。

【0030】

例えば"0"であるデータを持つメモリセル107に書き込みを行い、第1の記憶素子108に電荷注入を行った場合は(H, H)となり、これは不正なデータとして扱われる。"1"であるデータを持つメモリセルに書き込みを行い、第2の記憶素子109に電荷注入を行った場合も同様である。このように、追加書き込みによるデータ変更が困難な、高いセキュリティの不揮発性メモリが実現される。

【0031】

読み出しについては、メモリが読み出しを表すコントロール信号(Control)を受け取ると、読み出しに必要な電圧が選択され、同時に、アドレス信号がローデコーダ103及びコラムデコーダ104に入力され、読み出しを行うメモリセルを選択する。そして、選択されたメモリセルに接続されるビット線が読み出し回路102に入力される。読み出し回路102はビット線電位に基づいてデータを読み出し出力する。このとき、データだけでなく、読み出したデータが信頼できるかどうかを判断するバリッド信号を出力することも本発明の特徴である。

【0032】

読み出し回路の単純化した例を、図2を用いて説明する。図2は3ビット分のメモリセルおよび該メモリセルに記憶されたデータを読み出す回路である。

【0033】

図2に示す不揮発性メモリは、メモリセル200、セクタ203、読み出し回路210を有する。メモリセル200は第1の記憶素子201、第2の記憶素子202を有し、セクタ203はスイッチ204～209、読み出し回路210は排他的論理和(XOR)ゲート211および抵抗素子212～213を有する。抵抗素子212及び抵抗素子213はXORゲートに入力する電圧の調整を行う為に用いるため、同様の効果を持つ他の

素子で代用してもよい。

【0 0 3 4】

この回路の動作を説明する。セクタ 2 0 3 がメモリセルを選択し、該当するスイッチをオンする。データは第 1 の記憶素子 2 0 1 の状態をそのまま読み出すことで得られる。また、バリッド信号は第 1 の記憶素子 2 0 1 の状態と第 2 の記憶素子 2 0 2 の状態との排他的論理和によって生成させる。

【0 0 3 5】

バリッド信号は X O R ゲート 2 1 1 によって第 1 の記憶素子 2 0 1 の状態及び第 2 の記憶素子 2 0 2 の状態が (H, L) か (L, H) の場合に "1"、(L, L) か (H, H) の場合に "0" となる信号である。つまり、読み出されたメモリセルの状態が、データに対応する状態であれば "1" を、データに対応しない状態であれば "0" を出力する信号である。

【0 0 3 6】

バリッド信号が "1" であれば、読み出したメモリセルには、妥当なデータが書き込まれていたことが確認される。一方、バリッド信号が "0" である場合には、メモリセルにはデータが格納されていない状態であると判断することができる。バリッド信号が "0" は、まだデータを書いていないメモリセルや、データ書き込みエラーのあったメモリセル、不正な追加書き込みを行ったメモリセルなどを読み出す時に出力される。

【0 0 3 7】

なお、セキュリティの面からは、書き込み時にはデータをフルに書きこむ、つまり、全てのメモリセルを "0" / "1" の状態に遷移させることが望ましい。その場合、全てのメモリセルから (H, L) もしくは (L, H) が読み出され、バリッド信号は常に "1" となる。もし、バリッド信号に "0" が出力された場合は、不正な追加書き込みなどが考えられ、バリッド信号によってデータの信頼性を判断することができる。そして、"0" が出力されたメモリセルに関わるデータを無効とするなどの対処を行うことができる。

【0 0 3 8】

このような本実施の形態にかかる O T P タイプの不揮発性メモリは、コンピュータや各種電子機器の記憶手段として用いることができる。また、その他にも、I C カードや I C タグといった高いセキュリティ性が要求される用途にも適用することができる。

【実施例 1】

【0 0 3 9】

本発明の不揮発性メモリは、高いセキュリティを実現することが特徴であるから、偽造、不正使用の防止が重要となる I C カード、I D カード、I D タグあるいは R F I D カード若しくはタグ類の用途に適している。

【0 0 4 0】

I C カードとは、プラスチック製カードに薄片化した半導体集積回路 (I C チップ) を埋設して情報を記録できるようにしたカードである。データを読み書きする方式の違いによって「接触式」と「非接触式」に分けられる。非接触式カードにはアンテナが内蔵されており、微弱な電波を利用して端末と交信することができるものである。

【0 0 4 1】

なお、I D カードとは、I C カードと同様な機能及び構成を有し、特に身分証明などの認証機能に特化したものを指している。

I D タグとは、物体の識別に利用される微小な I C チップ (特にこの用途の I C チップを「I D チップ」ともいう。) に自身の識別コードなどの情報が記録されており、電波を使って管理システムと情報を送受信する能力をもつものをいう。数十ミリメートルの大きさで、電波や電磁波で読み取り器と交信することができる。アンテナ側からの非接触電力伝送技術により、電池を持たずに半永久的に利用可能なものもある。

R F I D とは、電波方式認識 (Radio Frequency- I D entification) を指し、リーダ/ライタ装置と無線通信により情報を通信可能な I D タグとで構成される認証技術を指している。この R F I D に使う I D タグの態様はさまざまであり、カード形式のものや、ラベ

ル類、証書類などがある。

【0042】

本実施例の不揮発性メモリは、メモリセル面積が従来のOTPタイプの2倍程度となり、チップ面積やコスト面で不利となるデメリットも有する。この対策として、例えば、ICカードやRFIDカード若しくはタグ類の集積回路をシリコン基板上に形成するのではなく、大判のガラス基板上に形成することで、多数の集積回路を作製することができコストを大幅に削減することを可能としている。

【0043】

さらに、チップ面積は耐衝撃性能に大きな影響を及ぼすが、集積回路が形成されたガラス基板からガラス基板以外の部分であるデバイス層を剥離し、フレキシブル基板やターゲットへはり付けることで耐衝撃性能を改善することが極めて有効である。

【0044】

フレキシブル基板とは、可撓性を有する基板を指し、代表的には、プラスチック基板、紙などをその範疇に含む。プラスチックとして、例えば、極性基のついたポリノルボルネン、ポリエチレンテレフタレート（PET）、ポリエーテルスルホン（PES）、ポリエチレンナフタレート（PEN）、ポリカーボネート（PC）、ナイロン、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリアリレート（PAR）、ポリブチレンテレフタレート（PBT）、ポリイミドなどが挙げられる。

【0045】

本実施例の不揮発性メモリを用いたIDチップの簡単な構成例として、図5のようなブロック図を挙げることができる。図5に示すのは、アンテナを内蔵した非接触型のIDチップである。

【0046】

同図において、IDチップ1401は、アンテナ1402、RF回路1403、電源/クロック信号/リセット信号発生回路1404、データ復調/変調回路1405、制御回路1406、メモリ1407、CPU（central processing unit；中央処理装置）1408（図示せず）、SRAM1409（図示せず）によって構成される。

【0047】

図5に示した集積回路は全てガラス基板上、もしくはフレキシブル基板上に形成されている。アンテナ1402は集積回路を形成する基板上に形成されていてもよいし、集積回路を形成する基板の外部にあり、入出力端子を介して集積回路と接続されるものであってもよい。

【0048】

RF回路1403はアンテナ1402よりアナログ信号を受信すると共に、データ変調回路より受け取ったアナログ信号をアンテナ1402から出力する回路である。電源/クロック信号/リセット信号発生回路1404は受信信号をもとに定電源、リセット信号及びクロック信号を発生する回路であり、データ復調/変調回路1405は受信信号からデータを抽出すると共に、制御回路1406から受け取ったデジタル信号をアンテナ1402へ出力するアナログ信号に変換する回路である。

【0049】

一方、制御回路1406はCPU1408を制御し、復調した受信信号に従ってメモリ1407、SRAM1409に記憶されたデータの読み出しもしくはデータの書き込みを行う。

【0050】

本実施例の不揮発性メモリは、メモリ1407に適用される。なお、用途によっては回路の構成にCPU1408及びSRAM1409は必ずしも必要ではなく、省いて面積の縮小を図ることもできる。また、IDチップの機能が識別番号等の固定データを読み出し程度に限定される場合であっても、不足する機能をインターネットなどのネットワーク技術を利用して補完することで、さまざまな用途に応用することが可能である。

【0051】

このようにして形成された I D チップは小型化可能である。さまざまな物品に貼付する、あるいは組み込むということができる。そして、商品の識別や製造元の識別、在庫や流通の管理などが容易に行うことができる。I D チップのサイズは 5 mm 角、好ましくは 0.3 ~ 4 mm 角のチップサイズで形成可能である。

【0052】

図 1 2 (A) ~ (H) は本発明の不揮発性メモリを用いて構成した I D チップを応用した例を示す。

【0053】

図 1 2 (A) は I C カードであり、書き換え困難である本発明の不揮発性メモリの利点を利用して高いセキュリティが必要な個人の識別用に用いることができる。I C カード 1 2 0 0 に内蔵された内蔵メモリ 1 2 0 1 に本発明の不揮発性メモリを用いている。

【0054】

図 1 2 (B) は I D タグであり、個人の識別用のほかに、小型化可能であることから特定の場所での入場管理などに用いることができる。I D タグ 1 2 1 0 に内蔵された内蔵メモリ 1 2 1 1 に本発明の不揮発性メモリを用いている。

【0055】

図 1 2 (C) はスーパーマーケットなどの小売店で商品を扱う際の商品管理を行うための I D チップ 1 2 2 2 を商品に貼付した例である。本発明は I D チップ 1 2 2 2 内の回路に内蔵される不揮発性メモリに適用される。このように I D チップを用いることにより、在庫管理が容易になるだけでなく、万引きなどの被害を防ぐことも可能である。図面では I D チップ 1 2 2 2 が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜 1 2 2 1 を用いているが、I D チップ 1 2 2 2 を接着剤により直接貼付するような構造を取っていてもよい。また、商品に貼付する構造上、基板はフレキシブル基板を用いて作製すると好ましい。

【0056】

図 1 2 (D) は商品製造時に識別用の I D チップを組み込んだ例である。図面では例としてディスプレイの筐体 1 2 3 0 内部に I D チップ 1 2 3 1 を組み込まれている。本発明は I D チップ 1 2 3 1 内の回路に内蔵される不揮発性メモリに適用される。このような構造を取ることで製造元の識別、商品の流通管理などを容易に行うことができる。なお、図面ではディスプレイの筐体を例として取り上げているが、本発明はこれに限定されることはなく、さまざまな物品に対して適用することが可能である。

【0057】

図 1 2 (E) は物品搬送用の荷札である。図面では荷札 1 2 4 0 内に I D チップ 1 2 4 1 が組み込まれている。本発明は I D チップ 1 2 4 1 内の回路に内蔵される不揮発性メモリに適用される。このような構造を取ることで搬送先の選別や商品の流通管理などを容易に行うことができる。なお、図面では物品を縛るひも状のものにくくりつけるような構造を取っているが、本発明はこれに限定されることはなく、シール材のようなものを用いて物品に直接貼付するような構造を取ってもよい。

【0058】

図 1 2 (F) は本 1 2 5 0 に I D チップ 1 2 5 2 が組み込まれたものである。本発明は I D チップ 1 2 5 2 内に内蔵される不揮発性メモリに適用される。このような構造を取ることで書店における流通管理や図書館などでの貸し出し処理などを容易に行うことができる。図面では I D チップ 1 2 5 2 が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜 1 2 5 1 を用いているが、I D チップ 1 2 5 2 を接着剤により直接貼付するような構造を取る、または本 1 2 5 0 の表紙に埋め込む構造を取っていてもよい。

【0059】

図 1 2 (G) は紙幣 1 2 6 0 に R F I D チップ 1 2 6 1 が組み込まれたものである。本発明は I D チップ 1 2 6 1 内に内蔵される不揮発性メモリに適用される。このような構造を取ることで偽札の流通を阻止することが容易に行える。紙幣のみならず株券、商品

券もしくは小切手などの有価証券にも同様に適用することができる。なお、紙幣の性質上 I D 1 2 6 1 チップが剥がれ落ちるのを防ぐために紙幣 1 2 6 0 に埋め込むような構造を取るとより好ましい。

【0060】

図 1 2 (H) は靴 1 2 7 0 に I D チップ 1 2 7 2 が組み込まれたものである。本発明は R F I D チップ 1 2 7 2 内の回路に内蔵される不揮発性メモリに適用される。このような構造を取ることにより製造元の識別、商品の流通管理などを容易に行うことができる。図面では I D チップ 1 2 7 2 が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜 1 2 7 1 を用いているが、I D チップ 1 2 7 2 を接着剤により直接貼付するような構造を取る、または靴 1 2 7 0 に埋め込む構造を取っていてもよい。

【0061】

いずれも、本発明の不揮発性メモリを内蔵することで、データを不用意に書き換えられることを防ぐことができる高いセキュリティを実現することができる。

【0062】

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【実施例 2】

【0063】

絶縁基板上に実施の形態で示した記憶素子、およびデコーダ、セレクトア、書き込み回路、読み出し回路などの論理回路部に用いる薄膜トランジスタ（以下「T F T (Thin Film Transistor)」ともいう。）を同時に作製する方法について図 3 及び図 2 0 を用いて説明する。なお、本実施例では半導体素子として、フローティングゲートを有する n チャンネル型の記憶素子、n チャンネル型 T F T、p チャンネル型 T F T を例に挙げて示すが、本発明においてメモリ部および論理回路部に含まれる半導体素子はこれに限定されない。また、この作製方法は一例であって、絶縁基板上での作製方法を限定するものではない。

【0064】

絶縁基板としては、ガラス基板（例えば、コーニング社製 1 7 3 7 基板）を選択する。その他にも、石英基板、アルミナなど絶縁物質で形成される基板、シリコンウエハ基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いても良い。

【0065】

絶縁基板 3 0 0 0 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜を用いて下地膜 3 0 0 1、3 0 0 2 を形成する。下地膜は複数膜を積層して形成することもできる。その場合、シロキサン（S i と O との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料が用いられる。または置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有するもの）等の耐熱性樹脂をスピンコート法、スリットコーター法、液滴吐出法などによって形成しても良い。尤も、好適には、下地膜 3 0 0 1 として窒化シリコン膜を 5 0 ～ 2 0 0 n m の厚さで形成し、下地膜 3 0 0 2 として酸化シリコン膜を 5 0 ～ 2 0 0 n m の厚さで順に積層形成する。

【0066】

ここで、酸化シリコン膜は、S i H₄/O₂、T E O S（テトラエトキシシラン）/O₂等の混合ガスを用い、熱 C V D、プラズマ C V D 等の方法によって形成することができる。窒化シリコン膜は、代表的には、S i H₄/N H₃の混合ガスを用い、プラズマ C V D によって形成することができる。また、酸化窒化シリコン膜は、S i H₄/N₂Oの混合ガスを用い、プラズマ C V D によって形成することができる。

【0067】

下地膜 3 0 0 2 上に、半導体層 3 0 0 3 ～ 3 0 0 5 を形成する。半導体層 3 0 0 3 ～ 3 0 0 5 は、多結晶半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコン・ゲルマニウム（S i G e）等を主成分とする半導体膜を用いることができる。

【0068】

ここでは、70 nmの膜厚の非晶質シリコンを形成しレーザーアニールによって結晶化させた多結晶シリコンを用いる。レーザーアニールは、エキシマレーザーを用いたパルスレーザー光、又は固体レーザーを光源とする連続発振レーザー光により結晶化させる。特に結晶化に際し大粒径の結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい（この場合の結晶化をCWL Cという。）。

代表的には、Nd:YVO₄レーザー（基本波1064 nm）の第2高調波（532 nm）や第3高調波（355 nm）を適用すればよい。連続発振のレーザーを用いる場合には、出力10 Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶又はGdVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100 MW/cm²程度（好ましくは0.1～10 MW/cm²）が必要である。そして、10～2000 cm/sec程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

【0069】

また、パルス発振のレーザーを用いる場合、通常、数十Hz～数百Hzの周波数帯を用いるが、それよりも著しく高い10 MHz以上の発振周波数を有するパルス発振レーザーを用いてもよい（この場合の結晶化をMHz LCという。）。パルス発振でレーザー光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec～数百nsecとされているため、上記高周波数帯を用いることで、半導体膜がレーザー光によって溶融してから固化するまでに、次のパルスのレーザー光を照射できる。よって、従来のパルス発振のレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10～30 μm、走査方向に対して垂直な方向における幅が1～5 μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く延びた単結晶の結晶粒を形成することで、少なくともTFTのチャネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

【0070】

セミアモルファス半導体は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。ラマンスペクトルが520 cm⁻¹よりも低波数側にシフトしている。未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。所謂微結晶半導体（マイクロクリスタル半導体）とも言われている。SiH₄とF₂、またはSiH₄とH₂を原料ガスとして用い、グロー放電分解により得ることができる。その他にもSiH₄、その他にもSi₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることが可。またGeF₄を混合させても良い。これをH₂、又は、H₂とHe、Ar、Kr、Neから選ばれた一種または複数種の希ガス元素で希釈しても良い。グロー放電を生成する電源周波数は1 MHz～120 MHz、好ましくは13 MHz～60 MHzで良い。基板加熱温度は300℃以下でよく、好ましくは100～250℃。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は1×10²⁰ cm⁻³以下とすることが望ましく、特に、酸素濃度は5×10¹⁹/cm³以下、好ましくは1×10¹⁹/cm³以下とする。X線回折ではSi結晶格子に由来するとされる（111）、（220）の回折ピークが観測される。

【0071】

また、Ni, Fe, Ru, Rh, Pd, Pd, Os, Ir, Ptなどの金属元素の触媒作用を利用した公知の結晶化法を用いても良い。

【0072】

なお、下地膜3002の一部に耐熱性有機樹脂であるシロキサンを用いた場合には、上記結晶化の際に、半導体膜中から熱が漏れることを防止することができ、効率よく結晶化を行うことができる。

【0 0 7 3】

上記の方法によって結晶性シリコン半導体膜を得る。結晶層の厚さは、2 0 ~ 2 0 0 n m (代表的には 4 0 ~ 1 7 0 n m、さらに好ましくは、5 0 ~ 1 5 0 n m) となるようにするのがよい。

【0 0 7 4】

なお、T F T 内の特にチャネル領域には、 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$ 、好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の水素又はハロゲンが添加されているのがよい。セミアモルファス半導体に関しては、 $1 \times 10^{19} \sim 2 \times 10^{21} \text{ cm}^{-3}$ とするのが望ましい。いずれにしても、I C チップに用いられる単結晶に含まれる水素又はハロゲンの含有量よりも多く含有させておくことが望ましい。これにより、T F T 部に局部クラックが生じても、水素又はハロゲンによってターミネート (終端) されうる。

【0 0 7 5】

ここで、記憶素子に用いる T F T の半導体層 3 0 0 3 のソース領域またはドレイン領域の片側に電荷を引き抜くためのオーバーラップ領域を設ける為の処理を行ってもよい。

【0 0 7 6】

次に、半導体層 3 0 0 3 ~ 3 0 0 5 上にゲート絶縁膜 3 0 0 6 を形成する。ゲート絶縁膜はプラズマ C V D 法又はスパッタリング法などの薄膜形成法を用い、窒化シリコン、酸化シリコン、窒化酸化シリコン又は酸化窒化シリコンを含む膜を、単層で、又は積層させて形成することが好ましい。特に、O T P タイプの不揮発性メモリではホットエレクトロン注入による書き込みと電荷保持が重要であるから、ゲート絶縁膜はトンネル電流の流れにくい 4 0 ~ 8 0 n m とすることが好ましい。

【0 0 7 7】

そして、ゲート絶縁膜 3 0 0 6 上に第 1 の導電層 3 0 0 7 ~ 3 0 0 9 を形成し、後にフローティングゲート電極となる領域と通常の T F T のゲート電極となる領域を含む領域を除いて、エッチングにより除去する。

【0 0 7 8】

次いで、第 2 のゲート絶縁膜 3 0 1 0 を形成する。第 2 のゲート絶縁膜 3 0 1 0 はプラズマ C V D 法またはスパッタリング法を用い、厚さを 1 0 ~ 8 0 n m としてシリコンを含む絶縁膜で形成する。ゲート絶縁膜 3 0 0 6 は、記憶素子の存在する領域を除いて、エッチングにより除去する。

【0 0 7 9】

続いて第 2 の導電層 3 0 1 1 ~ 3 0 1 3 を形成し、積層された第 1 の導電層 3 0 0 7 / 第 2 のゲート絶縁膜 3 0 1 0 / 第 2 の導電層 3 0 1 1 (記憶素子) あるいは、積層された第 1 の導電層 3 0 0 7 / 第 2 の導電層 3 0 1 1 (通常の T F T) を一括でエッチングを行い、記憶素子のフローティングゲート電極、コントロールゲート電極、および通常の T F T のゲート電極を形成する。

【0 0 8 0】

本実施例では、第 1 の導電層 3 0 0 7 ~ 3 0 0 9 を窒化タンタル (T a N) で 5 0 ~ 1 0 0 n m の厚さに形成し、第 2 の導電層 3 0 1 1 ~ 3 0 1 3 をモリブデン (M o) で 1 0 0 ~ 3 0 0 n m の厚さに形成する。導電層の材料は特に限定されず、いずれも T a、W、T i、M o、A l、C u などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。

【0 0 8 1】

次に、p チャネル型 T F T となる部分をレジストで覆い、ゲート電極をマスクとして、記憶素子および n チャネル型 T F T を構成する半導体層 3 0 0 3、3 0 0 4 中に、n 型を付与する不純物元素 (代表的には P (リン) 又は A s (砒素)) を低濃度にドーピングする (第 1 のドーピング工程)。第 1 のドーピング工程の条件は、ドーピング量: $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧: 5 0 ~ 7 0 k e V とするが、これに限定されるものではない。この第 1 のドーピング工程によって、ゲート絶縁膜 3 0 0 6 を介してスルードーピングがなされ、一対の低濃度不純物領域が形成される。なお、第 1 のドーピング工程は、p チャネル

型 T F T 領域をレジストで覆わずに、全面に行っても良い。

【0 0 8 2】

次に、レジストをアッシング等により除去して、記憶素子及び n チャネル型 T F T 領域を覆うレジストを新たに形成し、ゲート電極をマスクとして、p チャネル型 T F T を構成する半導体層 3 0 0 5 中に、p 型を付与する不純物元素（代表的には B（ホウ素））を高濃度にドーピングする（第 2 のドーピング工程）。第 2 のドーピング工程の条件は、ドーピング量を $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧を 2 0 ～ 4 0 k e V として行う。この第 2 のドーピング工程によって、ゲート絶縁膜 3 0 0 6 を介してスルードーピングがなされ、一対の p 型の高濃度不純物領域が形成される。

【0 0 8 3】

次に、レジストをアッシング等により除去して、基板表面に絶縁膜を形成する。ここでは、膜厚 1 0 0 n m の S i O₂ 膜をプラズマ C V D 法によって形成する。その後、基板全面をレジストで覆い、エッチバック法により、サイドウォール（側壁）3 0 2 0、3 0 2 1 を自己整合的（セルフアライン）に形成する。エッチングガスとしては、C H F₃ と H e の混合ガスを用いる。

【0 0 8 4】

上記サイドウォールは、後に高濃度の n 型不純物をドーピングし、サイドウォール 3 0 2 0、3 0 2 1 の下部に低濃度不純物領域又はノンドーピングのオフセット領域を形成する際のマスクとして機能するものである。

【0 0 8 5】

なお、サイドウォール 3 0 2 0、3 0 2 1 を形成する工程は、これらに限定されるものではない。例えば、図 2 0 に示す方法を用いることができる。図 2 0（A）は、絶縁膜 3 1 0 0 を二層又はそれ以上の積層構造とする例を示している。絶縁膜 3 1 0 0 としては、例えば、膜厚 1 0 0 n m の酸化窒化シリコン膜と、膜厚 2 0 0 n m の L T O 膜（Low Temperature Oxide、低温酸化膜）の 2 層構造とする。ここでは、S i O N 膜は、プラズマ C V D 法で形成し、L T O 膜は酸化シリコン膜を減圧 C V D 法で形成する。その後、レジスト 3 1 0 1 をマスクとしてエッチバックを行うことにより、L 字状と円弧状からなるサイドウォール 3 1 0 2 が形成される。

【0 0 8 6】

また、図 2 0（B）は、エッチバック時に、ゲート絶縁膜 3 1 0 5 も除去するようにエッチングを行う例を示している。絶縁膜 3 1 0 3 として、膜厚 1 0 0 n m の酸化シリコン膜をプラズマ C V D 法によって形成し、基板全面をレジスト 3 1 0 4 で覆ってエッチバックにより、レジスト 3 1 0 4、絶縁膜 3 1 0 3、ゲート絶縁膜 3 1 0 5 をエッチング除去し、サイドウォール 3 1 0 6 を自己整合的（セルフアライン）に形成する。この場合の絶縁膜 3 1 0 3 は、単層構造でも積層構造でも良い。

【0 0 8 7】

上述におけるサイドウォールのいずれの形成方法においても、低濃度不純物領域又はオフセット領域の幅を考慮して、エッチバックの条件を適宜変更すればよい。

【0 0 8 8】

次に、p チャネル型 T F T 領域を覆うレジストを新たに形成し、第 1 の導電層 3 0 0 8 及びサイドウォール 3 0 2 0、3 0 2 1 をマスクとして、n 型を付与する不純物元素（代表的には P 又は A s）を高濃度にドーピングする（第 3 のドーピング工程）。第 3 のドーピング工程の条件は、ドーピング量を $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧を 6 0 ～ 1 0 0 k e V として行う。この第 3 のドーピング工程によって、ゲート絶縁膜 3 0 0 6 を介してスルードーピングがなされ、一対の n 型の高濃度不純物領域が形成される。

【0 0 8 9】

以上までの工程で、それぞれの半導体層 3 0 0 3 ～ 3 0 0 5 に、第 1 の不純物領域 3 0 1 4、3 0 1 5、第 2 の不純物領域 3 0 1 6、3 0 1 7、第 3 の不純物領域 3 0 1 8、3 0 1 9、第 4 の不純物領域 3 0 2 2、3 0 2 3 が形成される。

【0 0 9 0】

なお、レジストをアッシング等により除去して、不純物領域の熱活性化を行っても良い。例えば、50 nmの酸化窒化シリコン膜を成膜して、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含むSiNx膜を、100 nmの膜厚において、410℃、1時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性シリコン中に存在するダングリングボンドを終端させるものである。さらに、この後、TF Tを保護するキャップ絶縁膜として、膜厚600 nmの酸化窒化シリコン膜を形成する。その他にもTF Tを保護するキャップ絶縁膜としては、窒化アルミニウム、酸化アルミニウム、窒化シリコン、酸化シリコンなどのアルカリ金属をブロックする材料を用いることができる。これらの絶縁膜を形成させることにより、TF Tの上下、外周辺部をアルカリ金属をブロックする絶縁膜で覆うことができる。そのことによって、TF Tの特性に悪影響を与えるNaなどがTF Tに侵入することを防ぐ機能をも有しているため、できるだけ形成しておくのが望ましい。

【0091】

次に、TF T上に、第1の層間膜3024を形成する。第1の層間膜3024としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂の他、無機材料、低誘電率（low- ϵ ）材料を用いることができる。形成方法としては、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。無機材料では、酸化シリコン、窒化シリコン、酸窒化シリコン、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、第1の層間膜3024を形成しても良い。

【0092】

さらに、第1の層間膜3024上に、第2の層間膜3025を形成しても良い。第2の層間膜3025としては、DLC（ダイヤモンドライクカーボン）或いは窒化炭素（CN）等の炭素を有する膜、又は、酸化シリコン膜、窒化シリコン膜或いは窒化酸化シリコン膜等を用いることができる。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂を用いてもよい。

【0093】

なお、第1の層間膜3024又は第2の層間膜3025と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、これらの膜の膜剥がれや割れが生じるのを防ぐために、第1の層間膜3024又は第2の層間膜3025中にフィラーを混入させておいても良い。

【0094】

次に、レジストを形成して、エッチングによりコンタクトホールを開孔する。そして電極3026～3030を形成する。コンタクトホール開孔時のエッチングに用いられるガスは、CHF₃とHeの混合ガスを用いたが、これに限定されるものではない。ここでは、TF Tと接続される電極3026～3030は、Ti\TiN\Al-Si\Ti\TiNの5層構造とし、スパッタ法によって形成する。

【0095】

なお、Al層において、シリコンを混入させることにより、パターニング時のレジストベークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、電極の材料や、形成方法はこれらに限定されるものではなく、前述のゲート電極に用いられる材料を採用しても良い。

【0096】

以上のようにして、図3に示すようなフローティングゲートを有するnチャネル型の記憶素子を有するメモリ部と、LDD構造のnチャネル型TFETおよびシングルドレイン構造のpチャネル型TFETを有する論理回路部と、を同一の基板上に形成することができる。この方法で形成されたTFETは、高い特性を有することができる。具体的には、S値が0.35以下、好ましくは0.25~0.09 V/divを有する。また、移動度は $10 \text{ cm}^2/\text{V} \cdot \text{sec}$ 以上を有する。なお、本実施例では、トップゲート構造とするが、ボトムゲート構造（逆スタガ構造）としてもよい。また、nチャネル型TFETに形成する不純物領域の条件によっては、サイドウォールを形成せずに第3のドーピング工程を行っても良い。

【0097】

なお、TFETのような薄膜能動素子部（アクティブエレメント）の存在しない領域には、下地絶縁膜材料、層間絶縁膜材料、配線材料が主として設けられているが、該領域は、薄膜集積回路装置全体の50%以上、好ましくは70~99%を占めていることが望ましい。これにより、IDFチップを曲げやすくし、IDラベル等の完成品の取り扱いが容易となる。この場合、TFET部を含むアクティブエレメントの島状半導体領域（アイランド）は、薄膜集積回路装置全体の1~30%、好ましくは、5~15%を占めているのがよい。本実施例は、他の実施例と自由に組み合わせることができる。

【実施例3】

【0098】

本実施例では、メモリ部および論理回路部を含むIDチップ形成し、フレキシブル基板へ転置するまでの作製方法について図6~図7を用いて説明する。なお、本実施例では半導体素子として、フローティングゲートを有するnチャネル型の記憶素子、nチャネル型TFET、およびpチャネル型TFETを例に挙げて示すが、本発明においてメモリ部および論理回路部に含まれる半導体素子はこれに限定されない。また、この作製方法は一例であって、絶縁基板上での作製方法を限定するものではない。

【0099】

絶縁基板3000上に剥離層4000を形成する。剥離層4000は、非晶質シリコン、多結晶シリコン、単結晶シリコン、セミアモルファスシリコン（微結晶シリコンともいう）等、シリコンを主成分とする層を用いることができる。剥離層4000は、スパッタ法、プラズマCVD法等を用いて形成することができる。本実施例では、膜厚500nm程度の非晶質シリコンをスパッタ法で形成し、剥離層4000として用いる。

【0100】

続いて実施例2に示した作業工程に従い、図3に示すようなメモリ部、論理回路部を形成する。

【0101】

次に、第2の層間膜3025上に第3の層間絶縁膜4001を形成し、パッド4002~4005を形成する。パッド4002~4005は、Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W、Alなどの金属、金属化合物を1つまたは複数有する導電材料を用いることができる。

【0102】

そしてパッド4002~4005を覆うように、第3の層間絶縁膜4001上に保護層4006を形成する。保護層4006は、後に剥離層4000をエッチングにより除去する際に、パッド4002~4005を保護することができる材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布することで保護層4006を形成することができる（図6（A）参照。）。

【0103】

次に図6（B）に示すように、剥離層4000を分離するための溝4007を形成する。溝4007は、剥離層4000が露出する程度であれば良い。溝4007の形成は、エッチング、ダイシング、スクライビングなどを用いることができる。

【0104】

次に図7 (A) に示すように、剥離層4000をエッチングにより除去する。本実施例では、エッチングガスとしてハロゲン化フッ素を用い、該ガスを溝4007から導入する。本実施例では、例えば CF_3 (三フッ化塩素) を用い、温度: 350°C 、流量: 300 sccm 、気圧: 6 Torr 、時間: 3 h の条件で行う。また、 CF_3 ガスに窒素を混ぜたガスを用いても良い。 CF_3 等のハロゲン化フッ素を用いることで、剥離層4000が選択的にエッチングされ、絶縁基板3000を剥離することができる。なおハロゲン化フッ素は、気体であっても液体であってもどちらでも良い。

【0105】

次に図7 (B) に示すように、剥離されたメモリ部および論理回路部を、接着剤4008を用いて支持体4009に貼り合わせる。接着剤4008は、支持体4009と下地膜3001とを貼り合わせることができる材料を用いる。接着剤4008は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【0106】

支持体4009として、フレキシブルな紙またはプラスチックなどの有機材料を用いることができる。または支持体4009として、フレキシブル無機材料を用いても良い。支持体4009は集積回路において発生した熱を拡散させるために、 $2\sim 30\text{ W/mK}$ 程度の高い熱伝導率を有するのが望ましい。

【0107】

なおメモリ部および論理回路部の集積回路を絶縁基板3000から剥離する方法は、本実施例で示したようにシリコン膜のエッチングを用いる方法に限定されず、他のさまざまな方法を用いることができる。例えば、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離することができる。また例えば、剥離層をレーザー光の照射により破壊し、集積回路を基板から剥離することもできる。また例えば、集積回路が形成された基板を機械的に削除または溶液やガスによるエッチングで除去することで、集積回路を基板から剥離することもできる。

【0108】

また対象物の表面が曲面を有しており、それにより該曲面貼り合わされたIDチップの支持体が、錐面、柱面など母線の移動によって描かれる曲面を有するように曲がってしまう場合、該母線方向とTFETのキャリアが移動する方向とを揃えておくことが望ましい。上記構成により、支持体が曲がっても、それによってTFETの特性に影響が出るのを抑えることができる。また、島状の半導体膜が集積回路内において占める面積の割合を、 $1\sim 30\%$ とすることで、支持体が曲がっても、それによってTFETの特性に影響が出るのをより抑えることができる。この実施例は他の実施例と組み合わせて用いることが可能である。

【実施例4】

【0109】

本実施例は、メモリセルに用いる記憶素子の構造について、図8、図9を用いて説明する。上記の実施の形態では、記憶素子としてフローティングゲート型の記憶素子を用いる場合を説明したが、本発明は、記憶素子としてMNO S型記憶素子、MONO S型記憶素子、微結晶シリコン (以下微結晶Siと表記) を含む記憶素子を用いることができる。

【0110】

MNO S型記憶素子800は、上からゲート電極801、窒化膜802、酸化膜803、基板804が積層する構造を含む (図8 (A) 参照)。基板804はソース領域805及びドレイン領域806に不純物元素が添加されたシリコン基板であり、一導電型が付与されている。MONO S型記憶素子810は、上からゲート電極811、第1の酸化膜812、窒化膜813、第2の酸化膜814、基板815が積層する構造を含む (図8 (B) 参照)。基板815はソース領域816及びドレイン領域817に不純物元素が添加されたシリコン基板であり、一導電型が付与されている。

【0111】

電荷蓄積層として微結晶 Si を含む記憶素子 900 は上からゲート電極 901、微結晶 Si 層 902、基板 903 が積層する構造を含む（図 9 参照）。基板 903 はソース領域 904 及びドレイン領域 905 に不純物元素が添加されたシリコン基板であり、一導電型が付与されている。

【0112】

MNOS 型記憶素子、MONOS 型記憶素子、微結晶 Si を用いた記憶素子において、書き込み時と読み出し時の動作は、フローティングゲート型の記憶素子と同様に行うことが可能である。つまり、書き込み時の動作はホットエレクトロン注入方式を用い、読み出し時の動作は記憶素子の異なるしきい値電圧を利用すればよい。

【0113】

MNOS 型記憶素子 800 と MONOS 型記憶素子 810 は、窒化シリコン膜中の電荷捕獲中心に電荷を蓄えるため、電荷蓄積の形態は導電性のフローティングゲートと異なり、ゲート絶縁膜の局所的な欠陥に対して強い。つまり、フローティングゲート型記憶素子では、ゲート絶縁膜が局所的に劣化しただけで、電荷がリークしてデータを消失してしまうが、MNOS 型記憶素子 800 と MONOS 型記憶素子 810 では、劣化した部分の電荷がリークするだけであり、データは保持される。同様に、微結晶 Si を含む記憶素子 900 も離散的電荷捕獲中心として機能するため、ゲート絶縁膜の局所的な欠陥に対して強い。本実施例は、他の実施例と自由に組み合わせることができる。

【実施例 5】

【0114】

本実施例ではセキュリティ確保を目的として、多様な物品へ本発明を用いた OTP 不揮発性メモリを有し、基板に可撓性を有する基板を用いた ID チップ（以下、「IDF チップ」という。）を実装する場合を図 10、図 11、図 13 を用いて説明する。セキュリティ確保とは、盗難防止又は偽造防止の面から捉えることができる。

【0115】

盗難防止の例として、バッグに IDF チップを実装する場合を説明する。図 10 (A) に示すように、バッグ 1002 に IDF チップ 1001 を実装する。例えば、バッグ 1002 の底又は側面の一部等に IDF チップ 1001 を実装することができる。IDF チップ 1001 は非常に薄型で小さいため、バッグ 1002 のデザイン性を低下させずに実装することができる。加えて IDF チップ 1001 は透光性を有し、盗難者は IDF チップ 1001 が実装されているかを判断しにくい。そのため、盗難者によって IDF チップ 1001 が取り外される恐れがない。

【0116】

このような IDF チップ実装バッグが盗難された場合、例えば GPS (Global Positioning System) を用いてバッグの現在位置に関する情報を得ることができる。なお GPS とは、GPS 用の衛星から送られる信号をとらえてその時間差を求め、これをもとに測位するシステムである。

【0117】

また盗難された物品以外にも忘れ物や落とし物を、GPS を用いて現在位置に関する情報を得ることができる。

【0118】

またバッグ以外にも、自動車、自転車等の乗物、時計やアクセサリに IDF チップを実装することができる。

【0119】

次に偽造防止の例として、パスポートや免許証等に IDF チップを実装する場合を図 10 (B) を用いて説明する。

【0120】

図 10 (B) に、IDF チップ 1003 を実装したパスポート 1004 を示す。図 10 (B) では IDF チップがパスポートの表紙に実装されているが、その他のページに実装してもよく、IDF チップは透光性を有するため表面に実装してもよい。また IDF チップ

プを表紙等の材料で挟み込むようにし、表紙の内部に実装することも可能である。

【0 1 2 1】

図 1 0 (C) には、I D F チップ 1 0 0 5 を実装した免許証 1 0 0 6 を示す。図 1 0 (C) では、I D F チップ 1 0 0 5 が免許証 1 0 0 6 の内部に実装されている。また I D F チップは 1 0 0 5 透光性を有するため、免許証 1 0 0 6 の印刷面上に設けても構わない。例えば、I D F チップ 1 0 0 5 は免許証 1 0 0 6 の印字面上に実装し、ラミネートで覆うことができる。また I D F チップ 1 0 0 5 を免許証 1 0 0 6 の材料で挟み込むようにし、内部に実装することも可能である。

【0 1 2 2】

以上のような物品に I D F チップを実装することにより、偽造を防止することができる。また上述したバッグに I D F チップを実装し、偽造を防止することもできる。加えて非常に薄型で小さい I D F チップを用いるため、パスポートや免許証等のデザイン性を損ねることがない。さらに I D F チップは透光性を有するため、表面に実装しても構わない。

【0 1 2 3】

また I D F チップにより、パスポートや免許証等の管理を簡便に行うことができる。さらにパスポートや免許証等に直接情報を記入することなく、I D F チップに保存することができるため、プライバシーを守ることができる。

【0 1 2 4】

また、I D F チップは、非常に薄型で小さく、さらに可撓性を備えることができるため、シート状の物品へ実装することができる。例えば、シート状物品として紙幣へ I D F チップを実装する場合を図 1 1 を用いて説明する。

【0 1 2 5】

図 1 1 (A) に示すように、紙幣 1 1 0 2 に I D F チップ 1 1 0 1 を実装する。図 1 1 (A) では、I D F チップ 1 1 0 1 は紙幣 1 1 0 2 の内部に実装する形態を示すが、表面に露出してもよい。

【0 1 2 6】

また I D F チップ 1 1 0 1 を含有するインクを用いて紙幣 1 1 0 2 を印刷してもよい。さらに、紙幣 1 1 0 2 の材料と薬品とを混ぜ合わせるときに、I D F チップ 1 1 0 1 をばらまいて、複数の I D F チップ 1 1 0 1 を実装した紙幣としてもよい。I D F チップは低コストで生産することができるため、複数の I D F チップを実装しても紙幣コストに影響を及ぼすことが少なくてすむ。

【0 1 2 7】

また紙幣以外の有価証券、例えば株券や小切手、又は硬貨に I D F チップを実装してもよい。

【0 1 2 8】

このようなシート状物品は、曲げる機会が多いため、I D F チップへかかる曲げ応力を考慮する。

【0 1 2 9】

例えば、図 1 1 (B) には、I D F チップ実装の紙幣が矢印方向に曲がった状態を示す。一般的に、シート状物品は、長軸方向に曲がりやすい、又は曲げやすいため、長軸方向に曲げる場合を説明する。

【0 1 3 0】

このときの I D F チップの状態を図 1 1 (C) に示す。I D F チップ 1 1 0 1 は、複数の薄膜トランジスタ 1 1 0 3 を有し、当該薄膜トランジスタ 1 1 0 3 はソース領域 1 1 0 4、チャネル形成領域 1 1 0 5、ドレイン領域 1 1 0 6 を有する。このような I D F チップは、矢印方向（曲げる方向）と、キャリアの移動方向とが垂直になるように配置すると好ましい。すなわち薄膜トランジスタのソース領域 1 1 0 4、チャネル形成領域 1 1 0 5、ドレイン領域 1 1 0 6 を、曲げる方向と垂直になるように配置する。その結果、曲げ応力による薄膜トランジスタの破壊や剥がれを防止することができる。

【0 1 3 1】

また薄膜トランジスタ 1 1 0 3 に、レーザ照射を用いた結晶性半導体膜を用いる場合、レーザ走査方向も曲げる方向と垂直となるように設定する。例えば、レーザ走査方向の長軸と、曲げる方向と垂直な方向とすると好ましい。

【0 1 3 2】

このような方向に I D F チップを曲げることにより、I D F チップ、特に薄膜トランジスタを破壊することがなく、さらにキャリアの移動方向に存在する結晶粒界を極力低減することができる。その結果、薄膜トランジスタの電気特性、特に移動度を向上させることができる。

【0 1 3 3】

加えて、パターンニングされた半導体膜が I D F チップにおいて占める面積の割合を、1 ~ 3 0 % とすることで、曲げ応力による薄膜トランジスタの破壊や剥がれを防止することができる。

【0 1 3 4】

安全管理を行うため、食料品等の商品へ I D F チップを実装する場合を図 1 3 を用いて説明する。

【0 1 3 5】

図 1 3 (A) に、I D F チップ 2 3 0 1 を実装したラベル 2 3 0 2 と、当該ラベルが貼られた肉のパック 2 3 0 3 を示す。I D F チップ 2 3 0 1 はラベル 2 3 0 2 の表面に実装していてもよいし、ラベル 2 3 0 2 内部に実装してもよい。また野菜等の生鮮食品の場合、生鮮食品を覆うラップに I D F チップ 2 3 0 1 を実装してもよい。

【0 1 3 6】

I D F チップ 2 3 0 1 には、例えば商品の生産地、生産者、加工年月日、賞味期限等の商品に関する事項を記録することができる。このように、書き換える必要がない情報を記録するためには本発明を用いた O T P タイプの不揮発性メモリを用いることは非常に好ましい。

【0 1 3 7】

また食料品の安全管理を行うためには、加工前の動植物の状態を知り得ることが重要である。そのため、動植物内に I D F チップを埋め込み、リーダ装置によって動植物に関する情報を取得するとよい。動植物に関する情報とは、飼育地、飼料、飼育者、伝染病の感染の有無等である。

【0 1 3 8】

また I D F チップに、商品の値段が記録されていれば、従来のバーコードを用いる方式よりも、簡便、短時間に商品の精算を行うことが可能となる。すなわち、I D F チップが実装された複数の商品を一挙に精算することができる。但し、このように複数の I D F チップを読み取る場合、アンチコリジョン機能をリーダ装置に搭載する必要がある。

【0 1 3 9】

さらに I D F チップの通信距離によっては、レジスターと商品との距離が遠くても、商品の精算を可能とすることができる。また I D F チップは万引き防止にも役立つ。

【0 1 4 0】

さらに I D F チップは、バーコード、磁気テープ等のその他の情報媒体と併用することもできる。例えば、I D F チップには書き換え不要な基本事項を記録し、バーコードには更新すべき情報、例えば値引き価格や特価情報を記録するとよい。バーコードは I D F チップと異なり、情報の修正を簡便に行うことができるからである。

【0 1 4 1】

このように I D F チップを実装することにより、消費者へ提供できる情報を増大させることができるため、消費者は安心して商品を購入することができる。

【0 1 4 2】

図 1 3 (B) を用いて、物流管理を行うため、ビール瓶等の商品へ I D F チップを実装する場合を説明する。図 1 3 (B) に示すように、瓶 2 3 0 5 に I D F チップ 2 3 0 4 を実装する。例えば、ラベル 2 3 0 6 を用いて I D F チップ 2 3 0 4 を実装することができ

る。

【0 1 4 3】

I D Fチップ 2 3 0 4 には、例えば製造日、製造場所、使用材料等の事項を記録することができる。このように、書き換える必要がない情報を記録するためには本発明を用いた O T Pタイプの不揮発性メモリを用いることは非常に好ましい。

【0 1 4 4】

また配達先から購入された商品情報がネットワークを通じて物流管理センターへ送信されると、この商品情報に基づき、ライタ装置又は当該ライタ装置を制御するパーソナルコンピュータ等が配送先や配送日時を算出し、I D Fチップ 2 3 0 4 へ記録するようなシステムを構築するとよい。

【0 1 4 5】

また配達にはケース毎に行われるため、ケース毎、又は複数のケース毎に I D Fチップを実装し、個別事項を記録することもできる。

【0 1 4 6】

このような複数の配達先が記録されうる飲料品は、I D Fチップを実装することにより、手作業で行う入力にかかる時間を削減でき、それに起因した入力ミスを低減することができる。加えて物流管理の分野において最もコストのかかる人件費用を削減することができる。従って、I D Fチップを実装したことにより、ミスの少ない、低コストな物流管理を行うことができる。

【0 1 4 7】

このように I D Fチップを実装することにより、消費者へ提供できる情報を増大させることができるため、消費者は安心して商品を購入することができる。

【0 1 4 8】

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。本実施例は、上記の実施の形態や他の実施例と自由に組み合わせることができる。

【実施例 6】

【0 1 4 9】

製造管理を行うため、本発明の O T P不揮発性メモリを有する I D Fチップを実装した製造品と、当該 I D Fチップの情報に基づき制御される製造装置（製造ロボット）について説明する。

【0 1 5 0】

現在、オリジナル商品を生産する場面が多くみられ、このような場合、生産ラインでは当該商品のオリジナル情報に基づくように生産する。例えば、ドアの塗装色を自由に選択することができる自動車の生産ラインにおいては、自動車の一部に I D Fチップを実装し、当該 I D Fチップからの情報に基づき、塗装装置を制御する。そしてオリジナルな自動車を生産することができる。

【0 1 5 1】

I D Fチップを実装する結果、事前に生産ラインに投入される自動車の順序や同色を有する数を調整する必要がない。強いては、自動車の順序や数それに合わせるように塗装装置を制御するプログラムを設定しなくてすむ。すなわち製造装置は、自動車に実装された I D Fチップの情報に基づき、個別に動作することができる。

【0 1 5 2】

このように I D Fチップはさまざまな場所で使用することができる。そして I D Fチップに記録された情報により、製造に関する固有情報を得ることができ、当該情報に基づき製造装置を制御することができる。

【図面の簡単な説明】

【0 1 5 3】

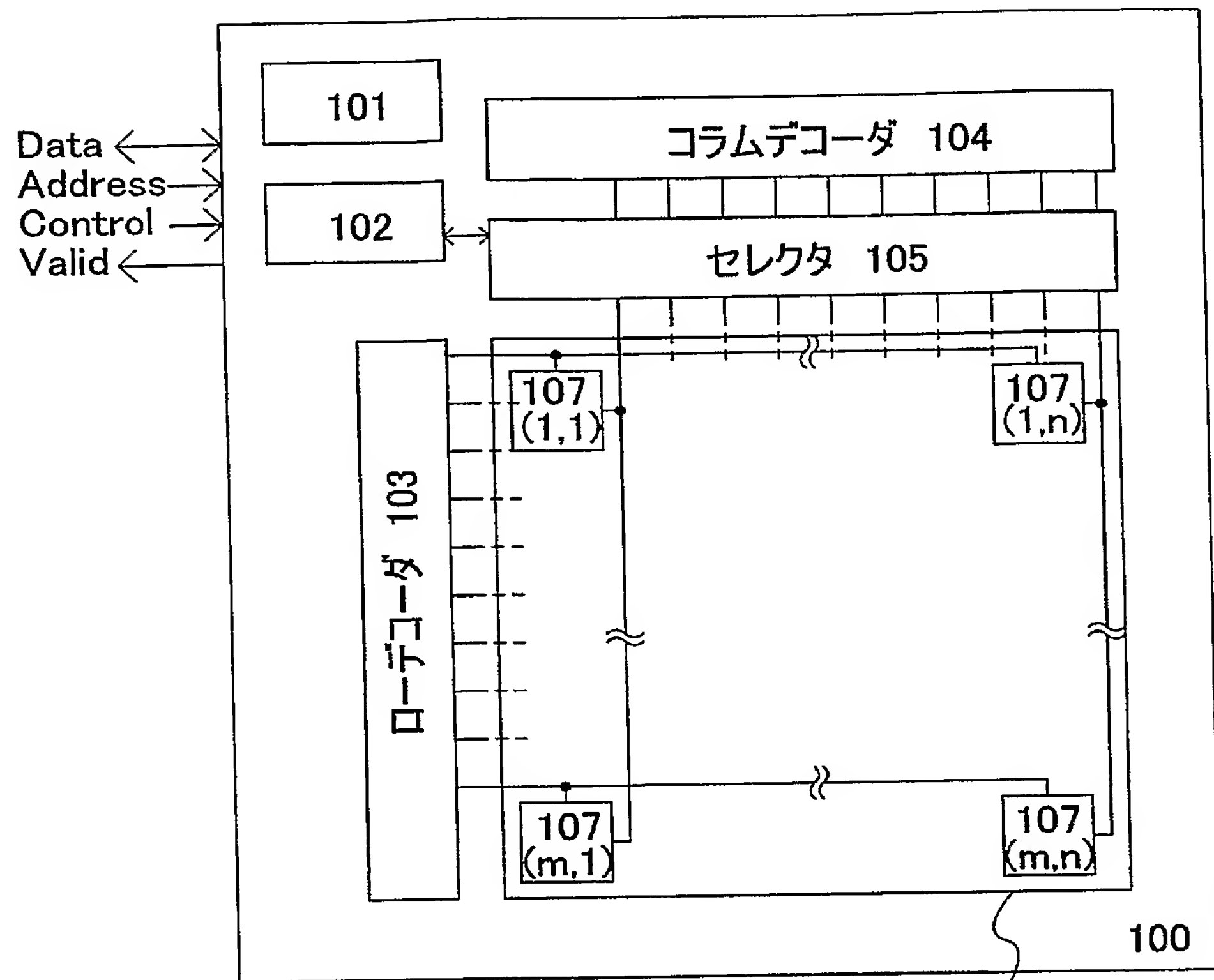
【図 1】 本発明の不揮発性メモリのブロック構成を示す図。

【図 2】 本発明の不揮発性メモリの読出し回路を示す図。

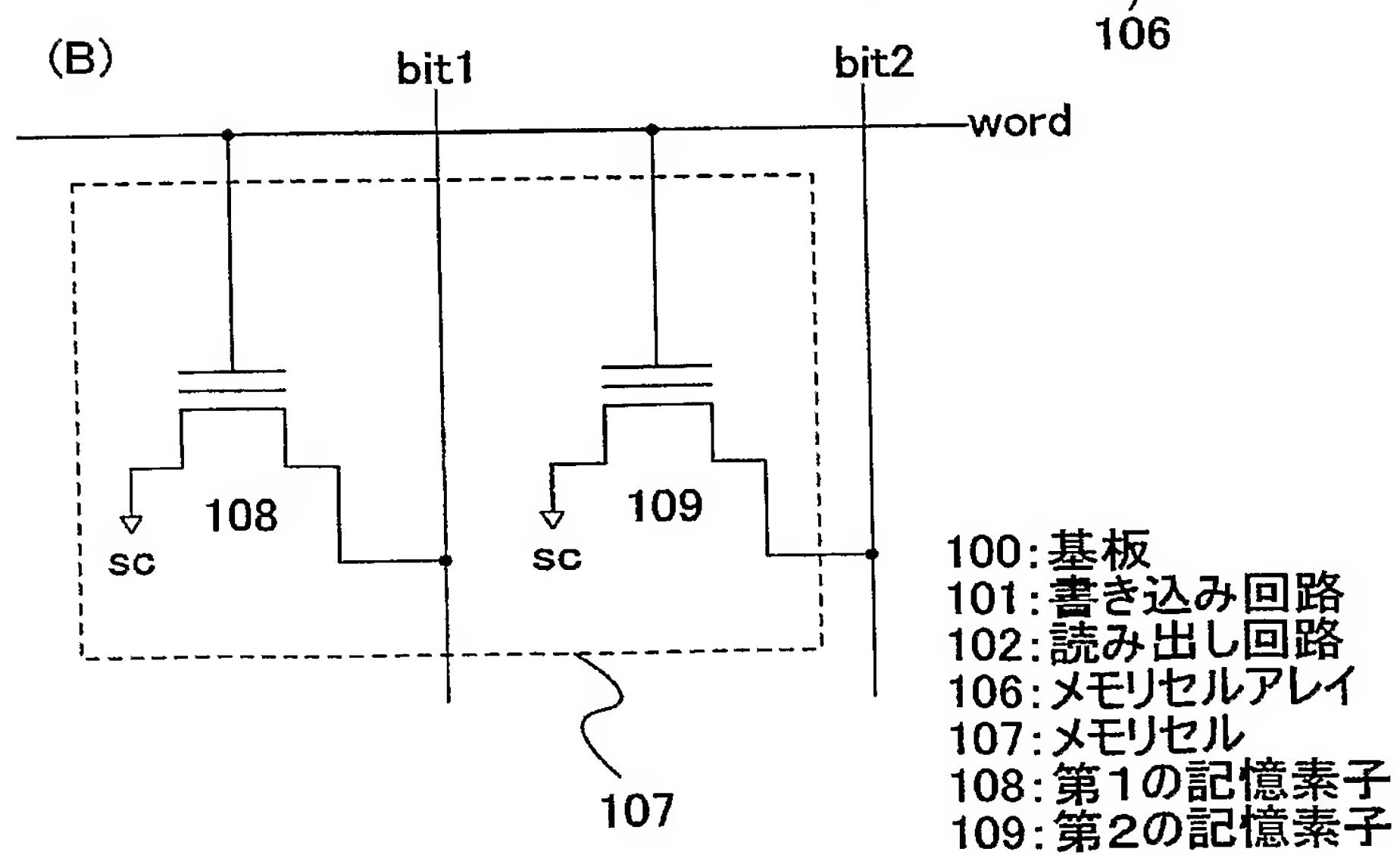
- 【図 3】 本発明における絶縁基板上の T F T 作製プロセスを示す図。
- 【図 4】 本発明の不揮発性メモリの書き込み回路を示す図。
- 【図 5】 本発明の不揮発性メモリの応用例を示す図。
- 【図 6】 本発明におけるフレキシブル基板の T F T 転置工程を示す図。
- 【図 7】 本発明におけるフレキシブル基板の T F T 転置工程を示す図。
- 【図 8】 M N O S / M O N O S 型記憶素子の断面構造を示す図。
- 【図 9】 微結晶 S i を用いた記憶素子の断面構造を示す図。
- 【図 1 0】 本発明の不揮発性メモリの応用例を示す図。
- 【図 1 1】 本発明の不揮発性メモリの応用例を示す図。
- 【図 1 2】 本発明の不揮発性メモリの応用例を示す図。
- 【図 1 3】 本発明の不揮発性メモリの応用例を示す図。
- 【図 1 4】 本発明における絶縁基板上の T F T 作製プロセス示す図。

【書類名】 図面
【図 1】

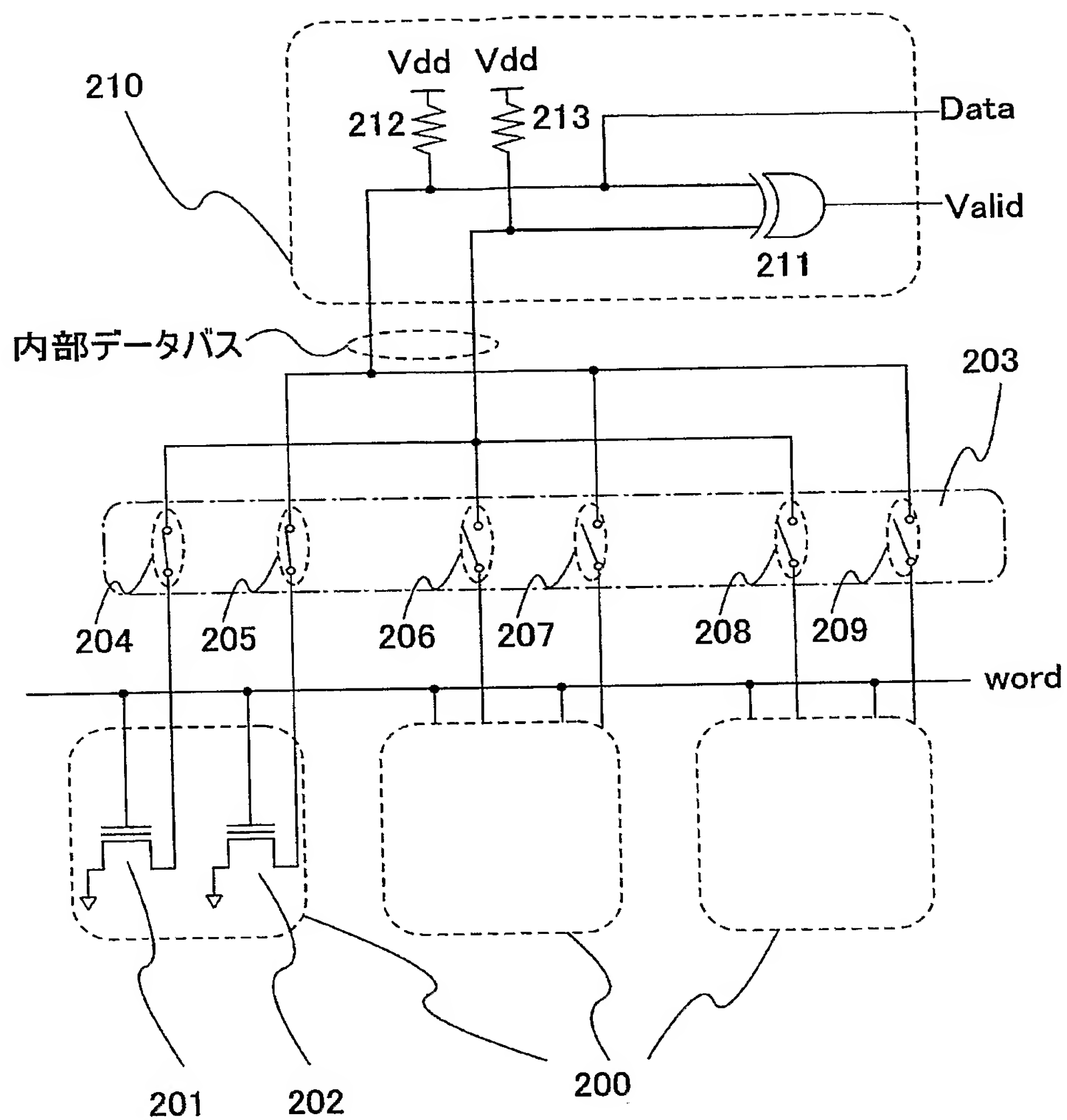
(A)



(B)

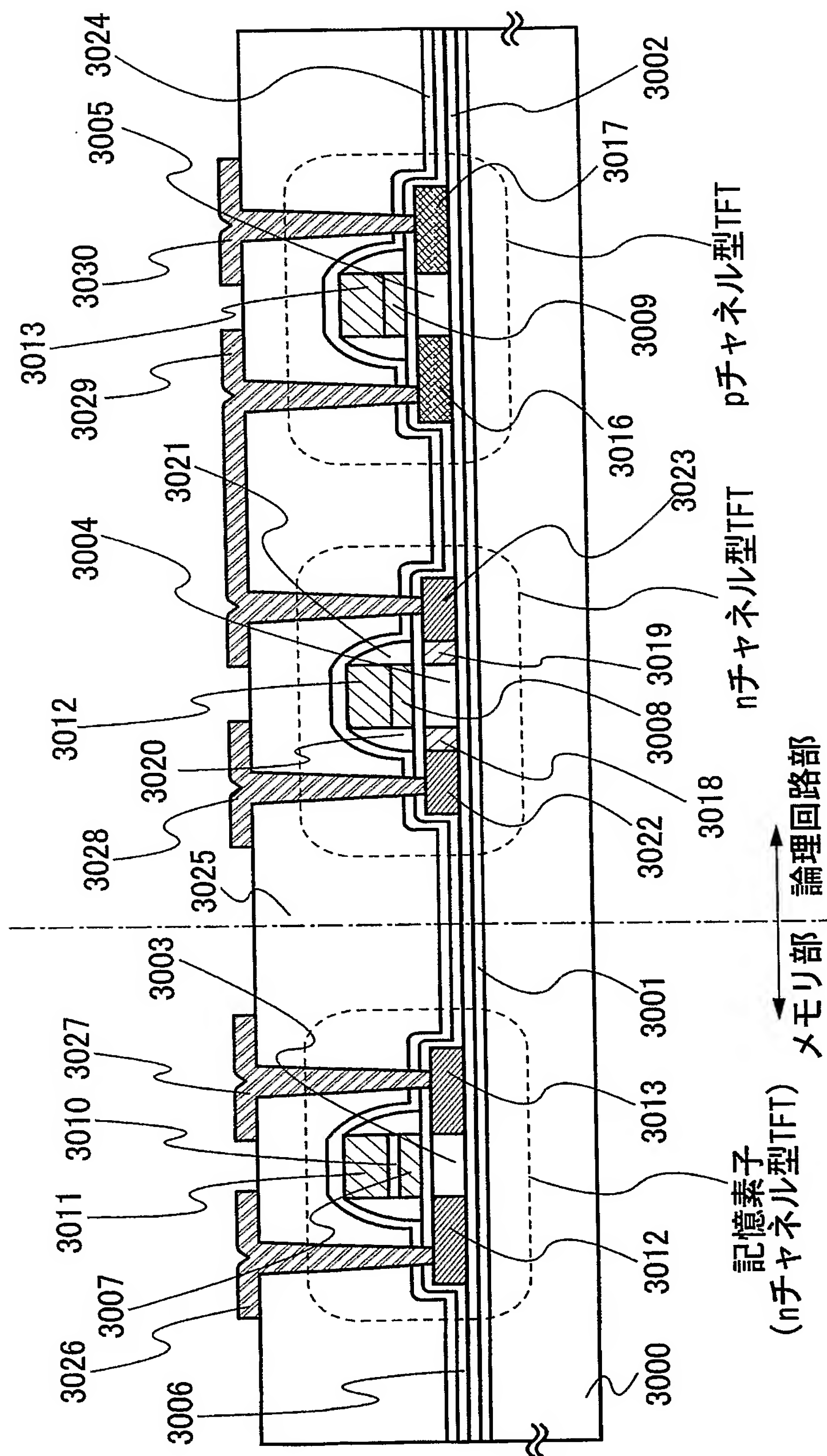


【図 2】

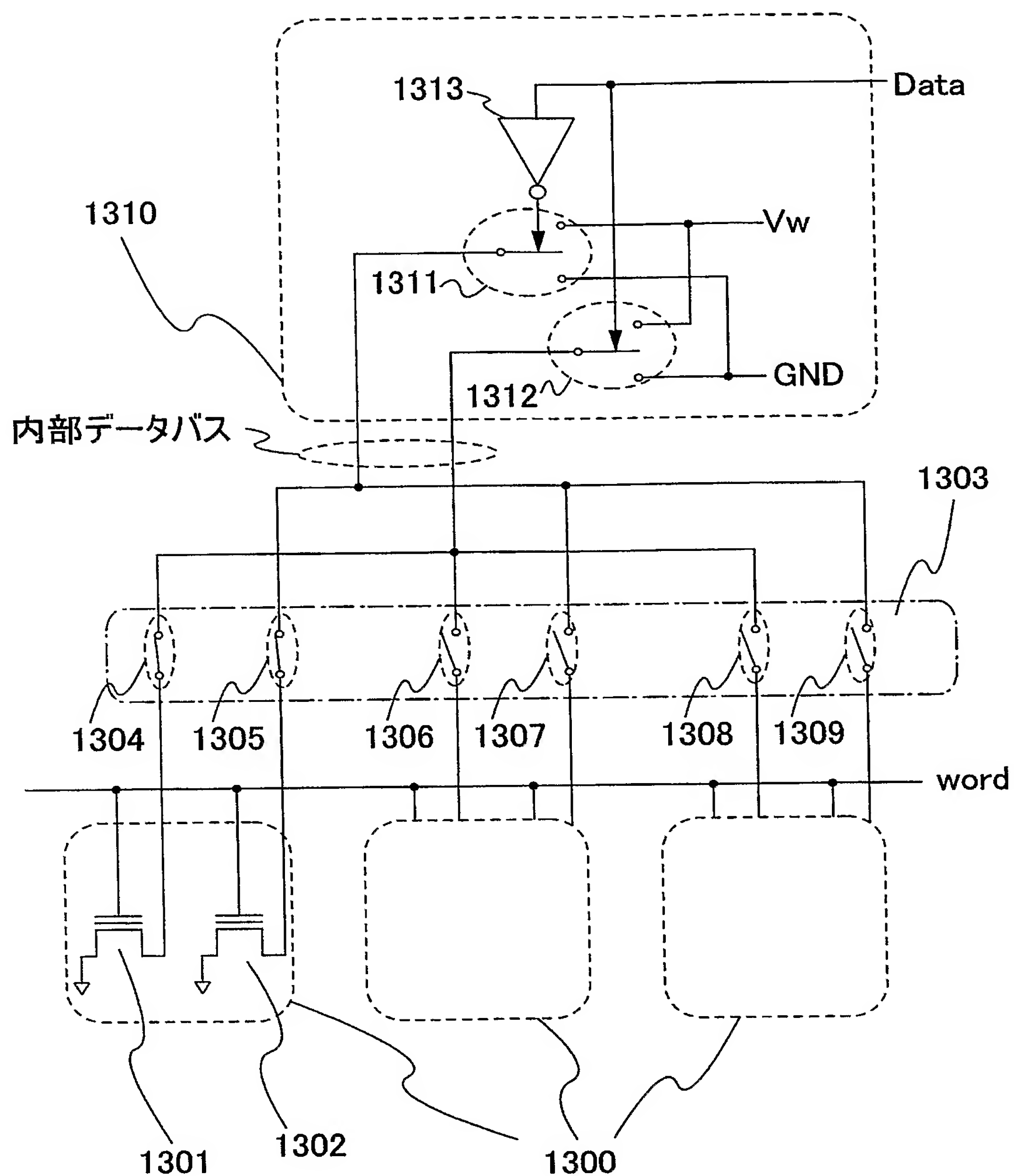


200: メモリセル
201: 第1の記憶素子
202: 第2の記憶素子
203: セレクタ
204~209: スイッチ
210: 読み出し回路
211: XORゲート
212, 213: 抵抗素子

【図 3】

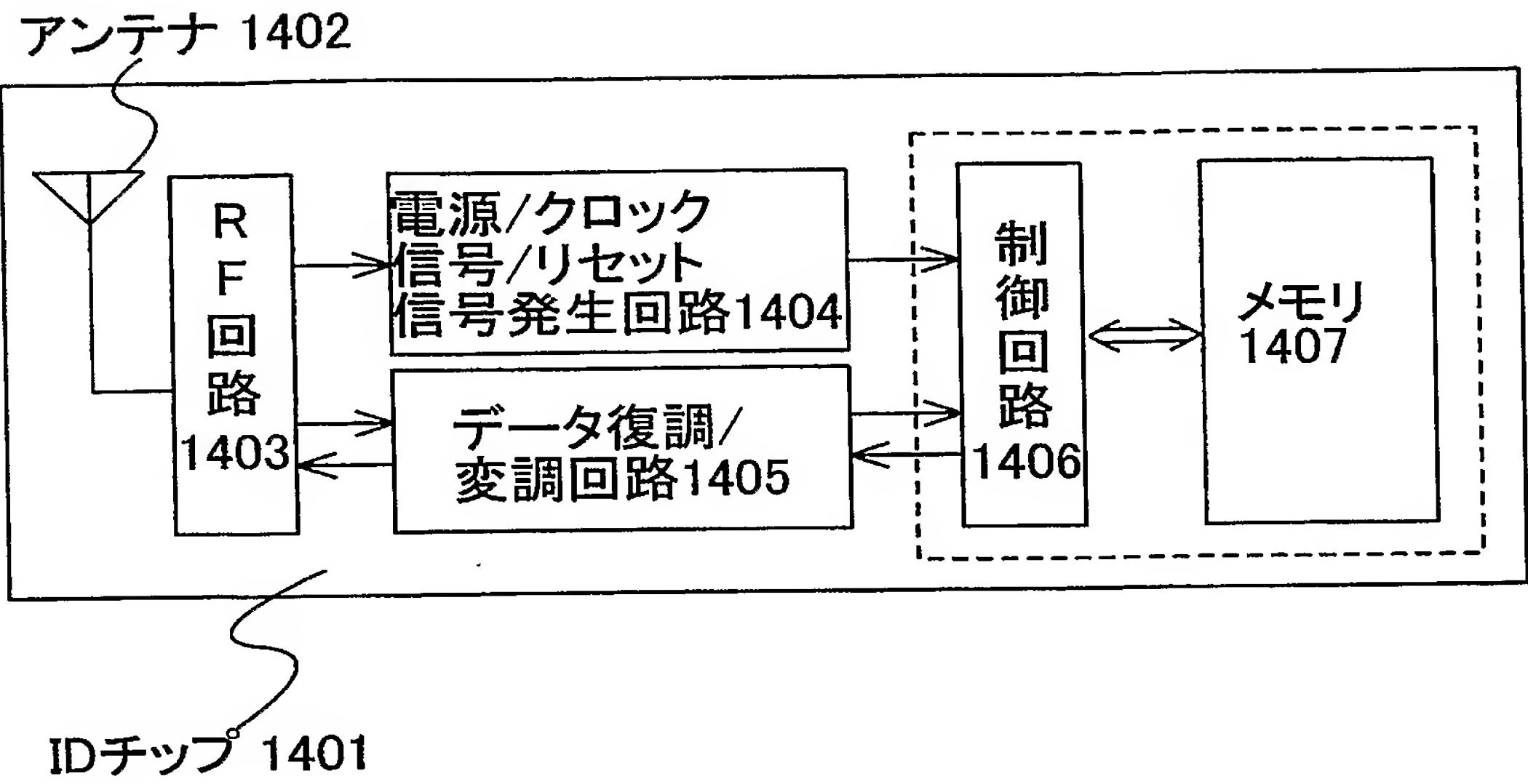


【図 4】

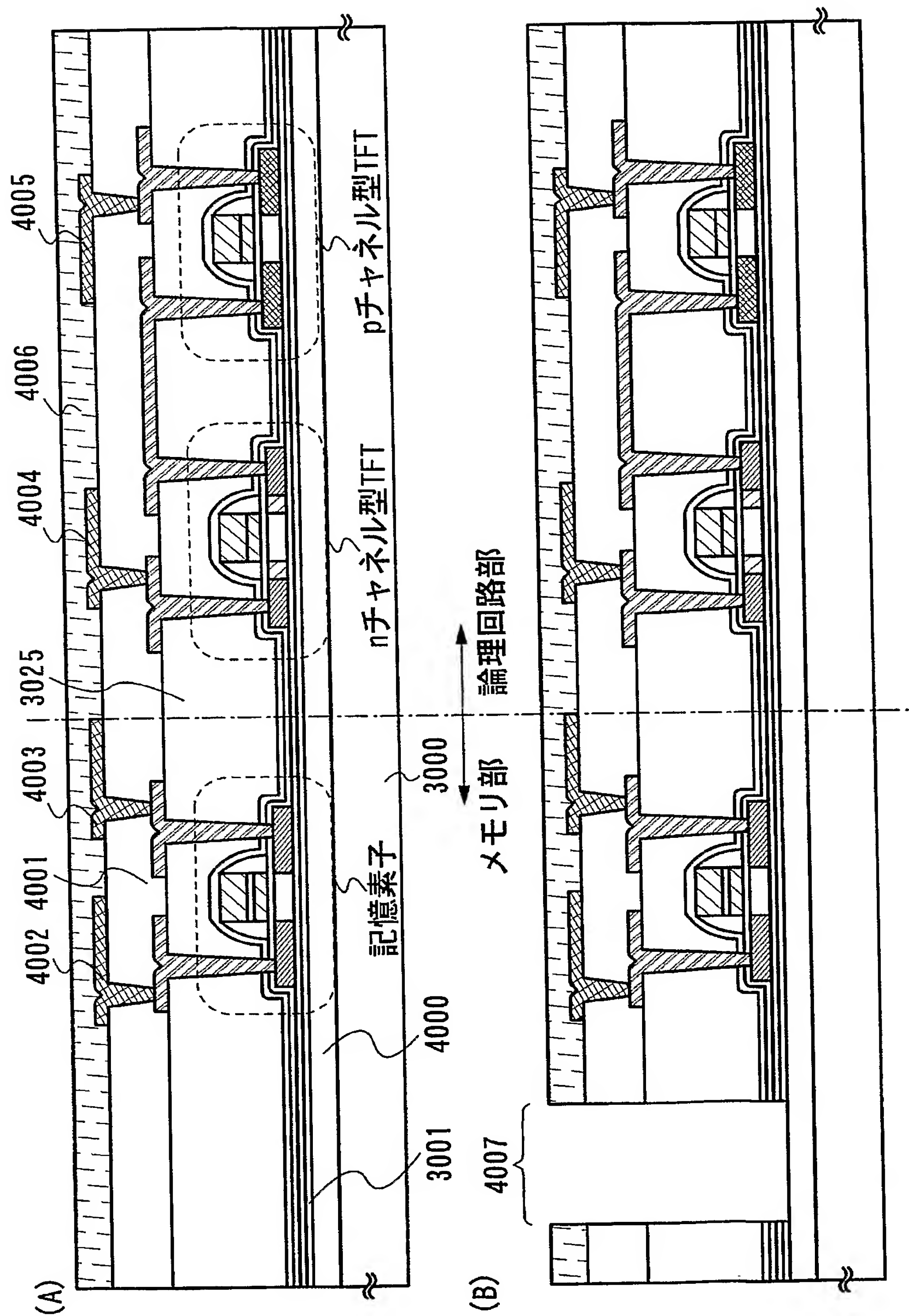


- 1300: メモリセル
- 1301: 第1の記憶素子
- 1302: 第2の記憶素子
- 1303: セレクタ
- 1304~1309: スイッチ
- 1310: 書き込み回路
- 1311, 1312: スイッチ
- 1313: インバータ

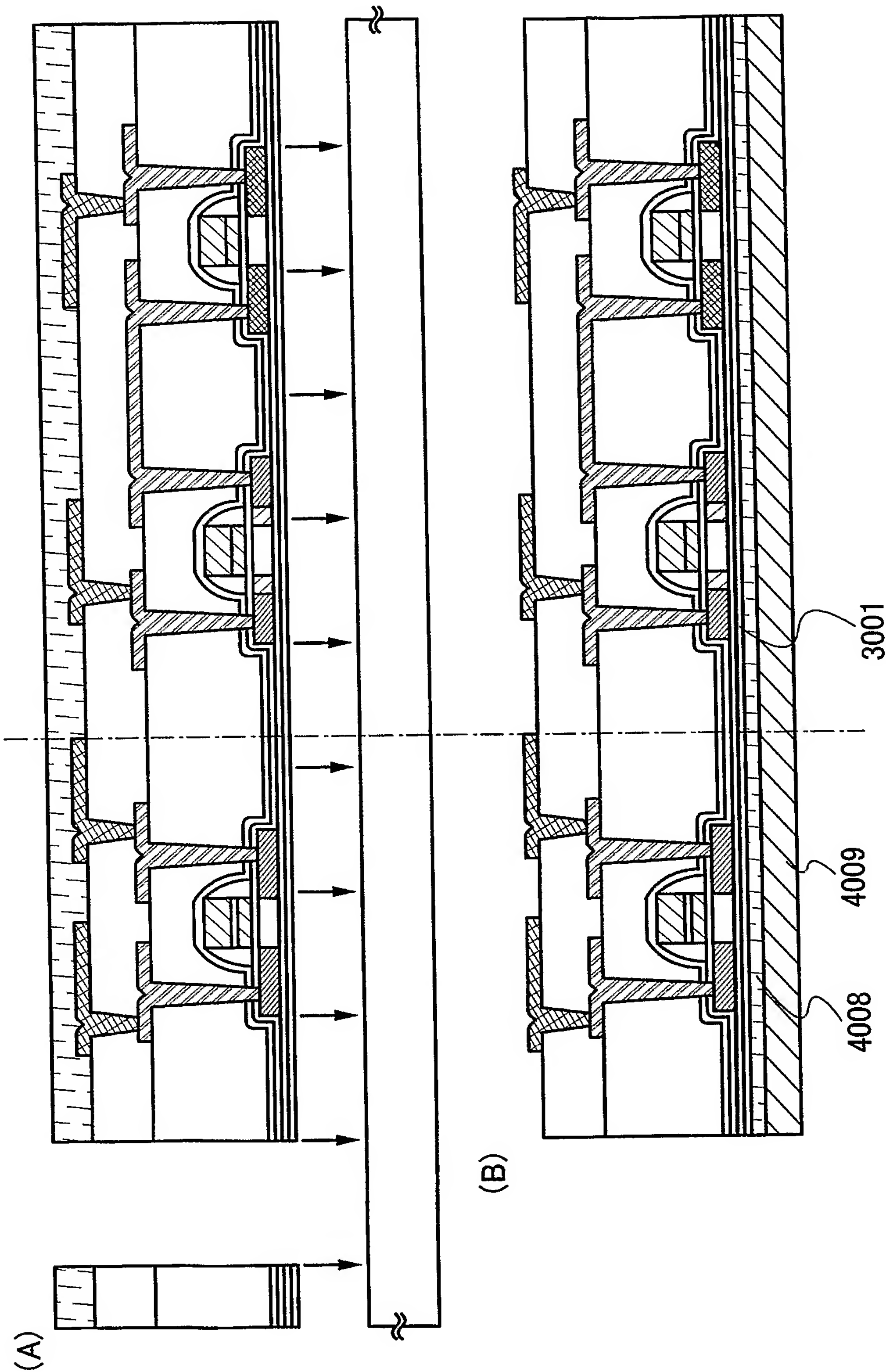
【図 5】



【図 6】

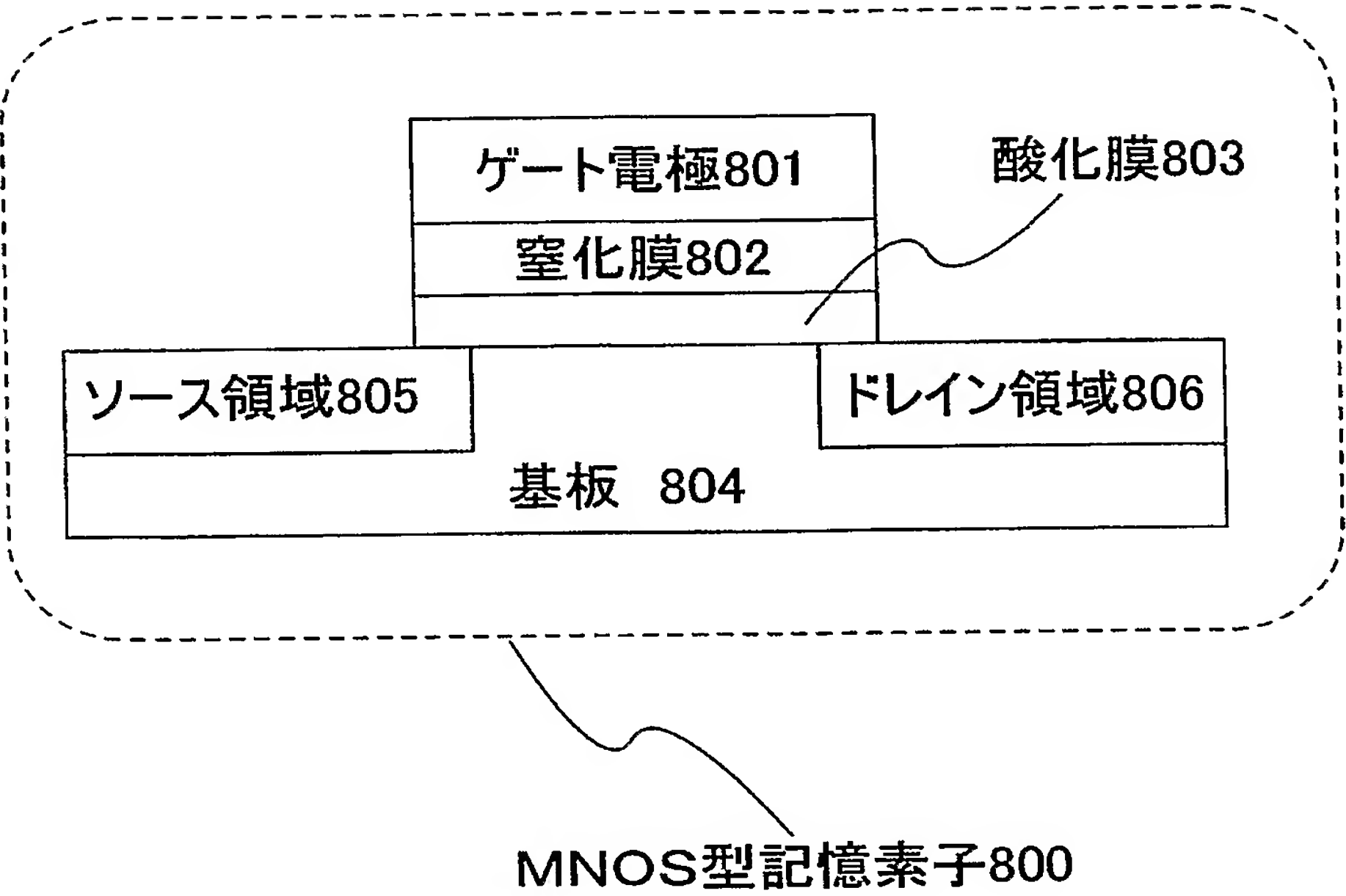


【図 7】

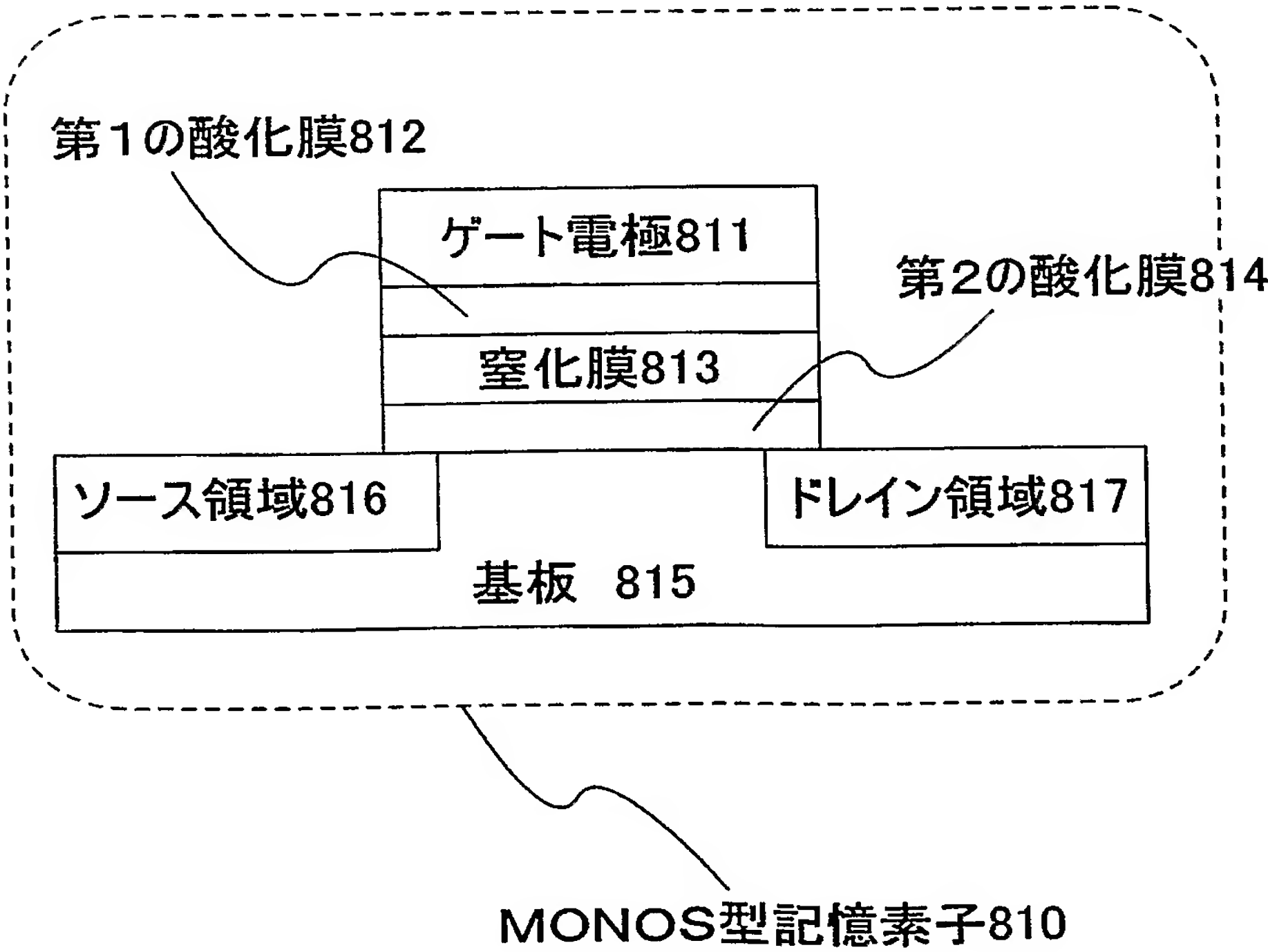


【図 8】

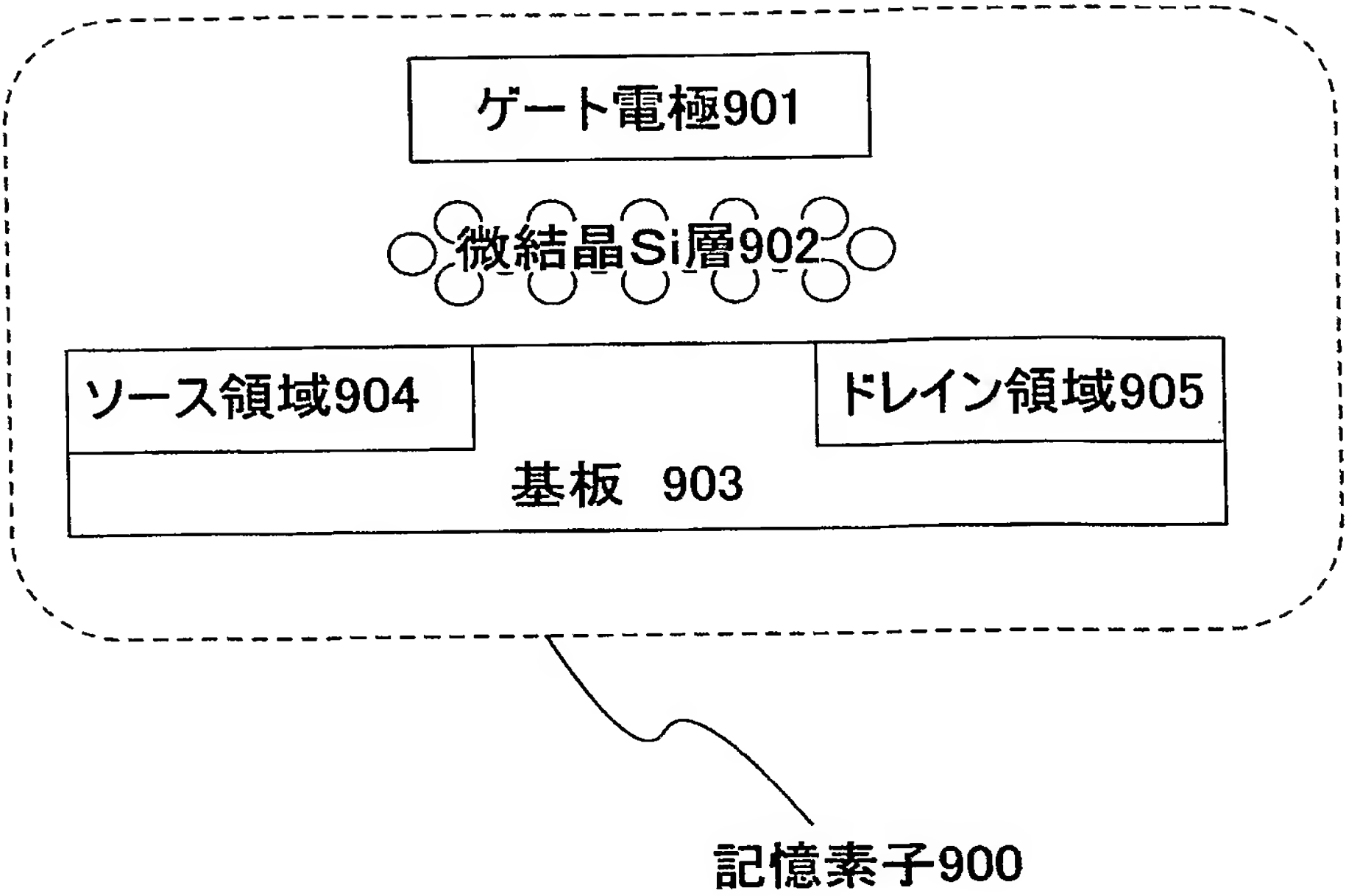
(A)



(B)



【図 9】

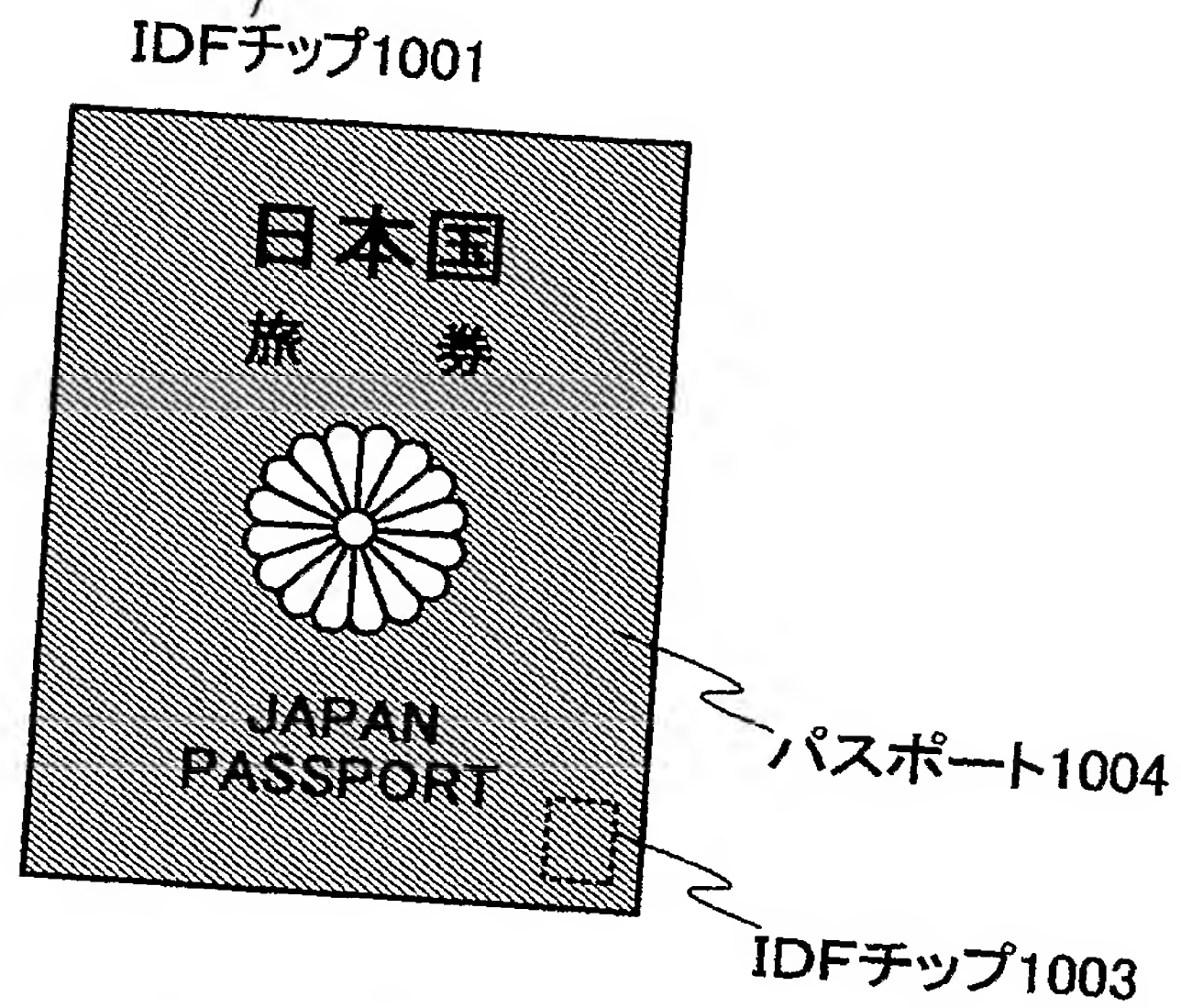


【図10】

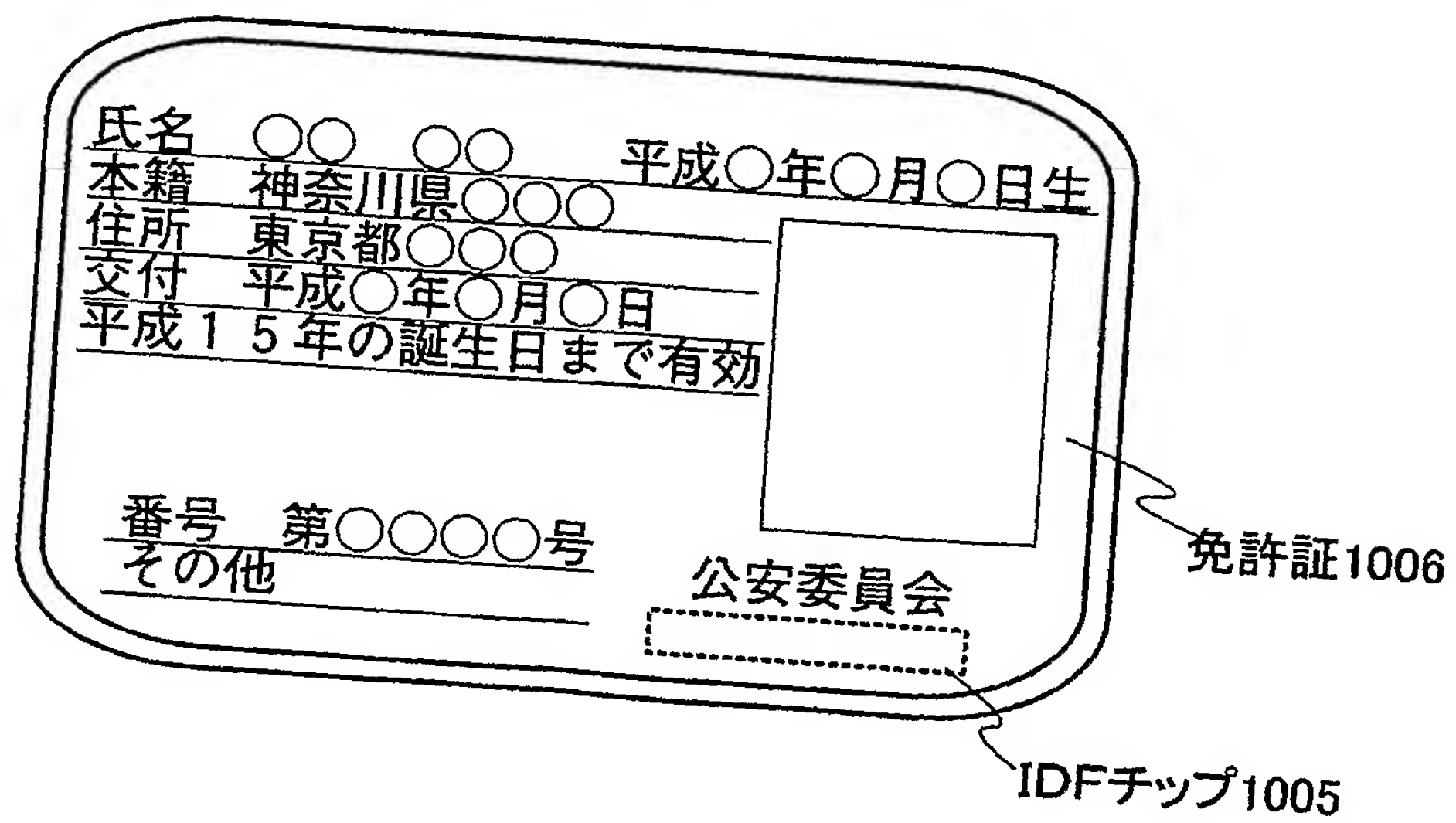
(A)



(B)

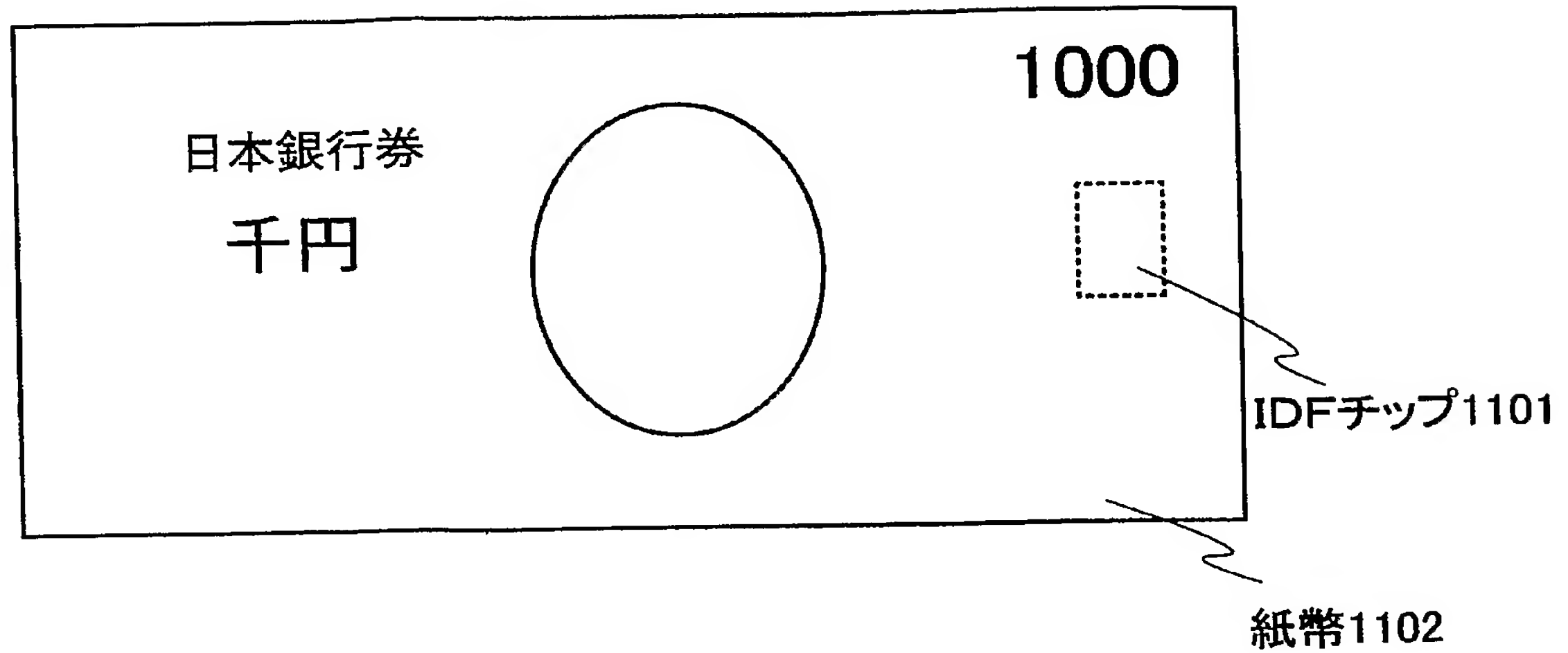


(C)

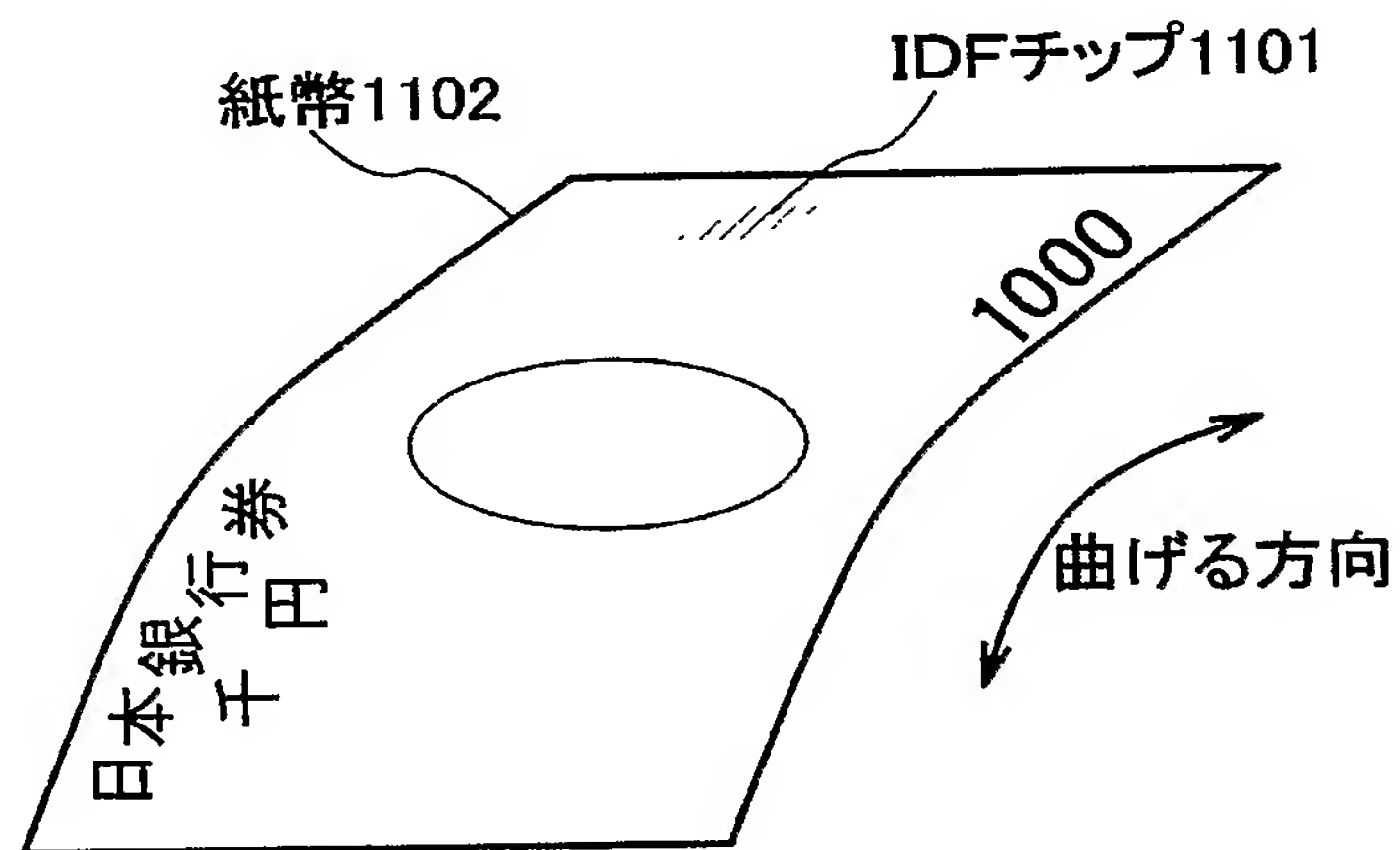


【図 11】

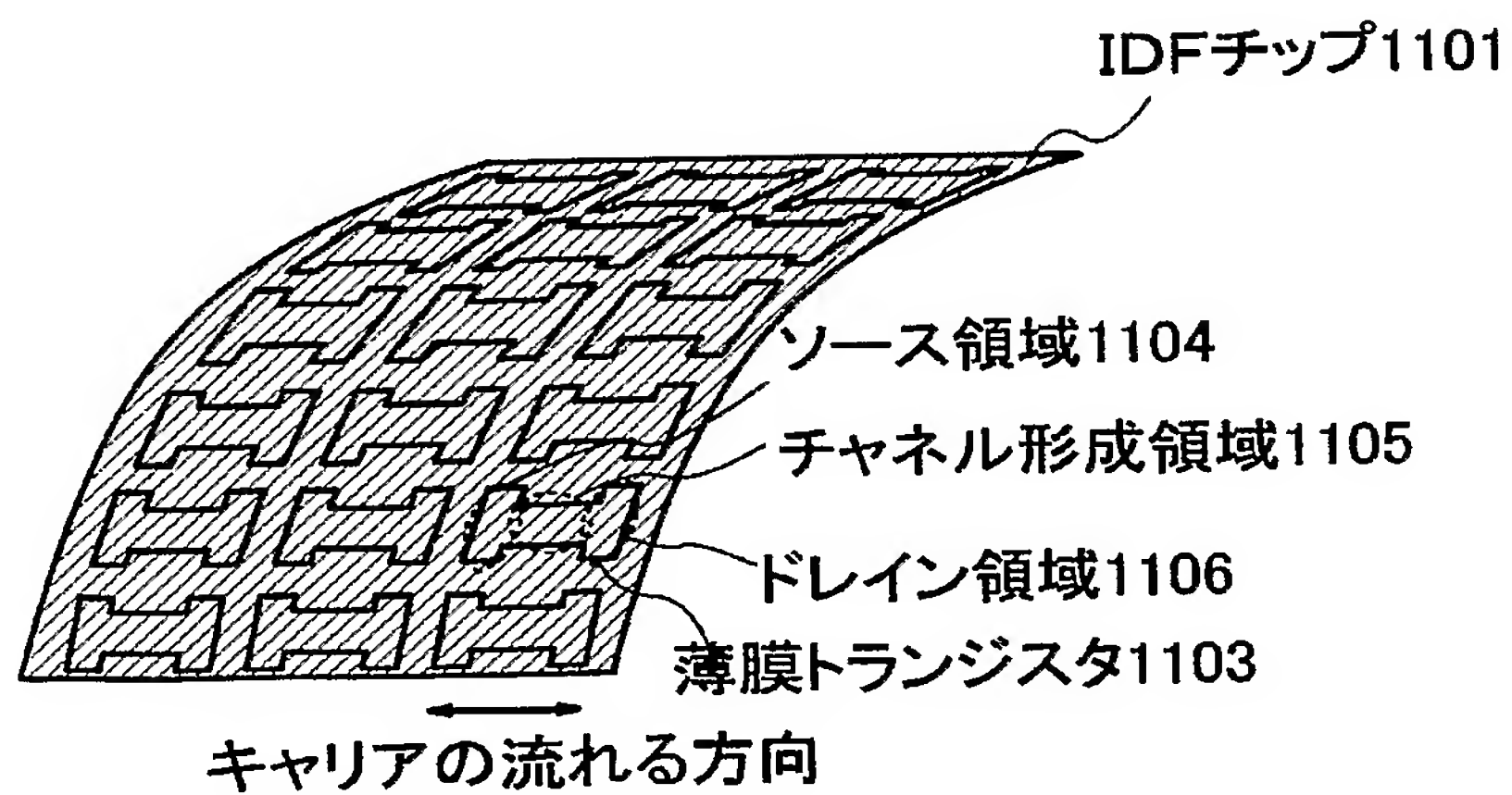
(A)



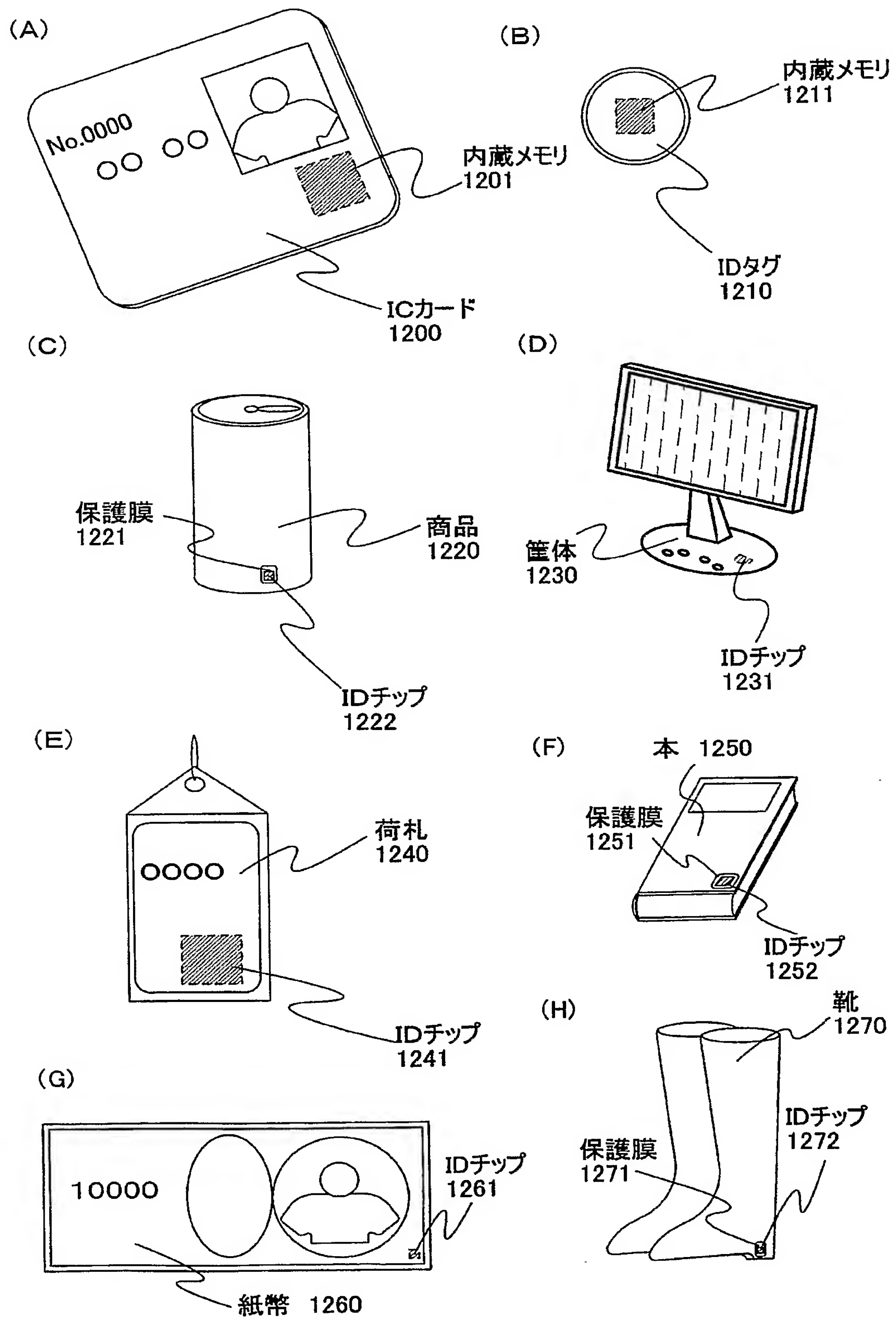
(B)



(C)

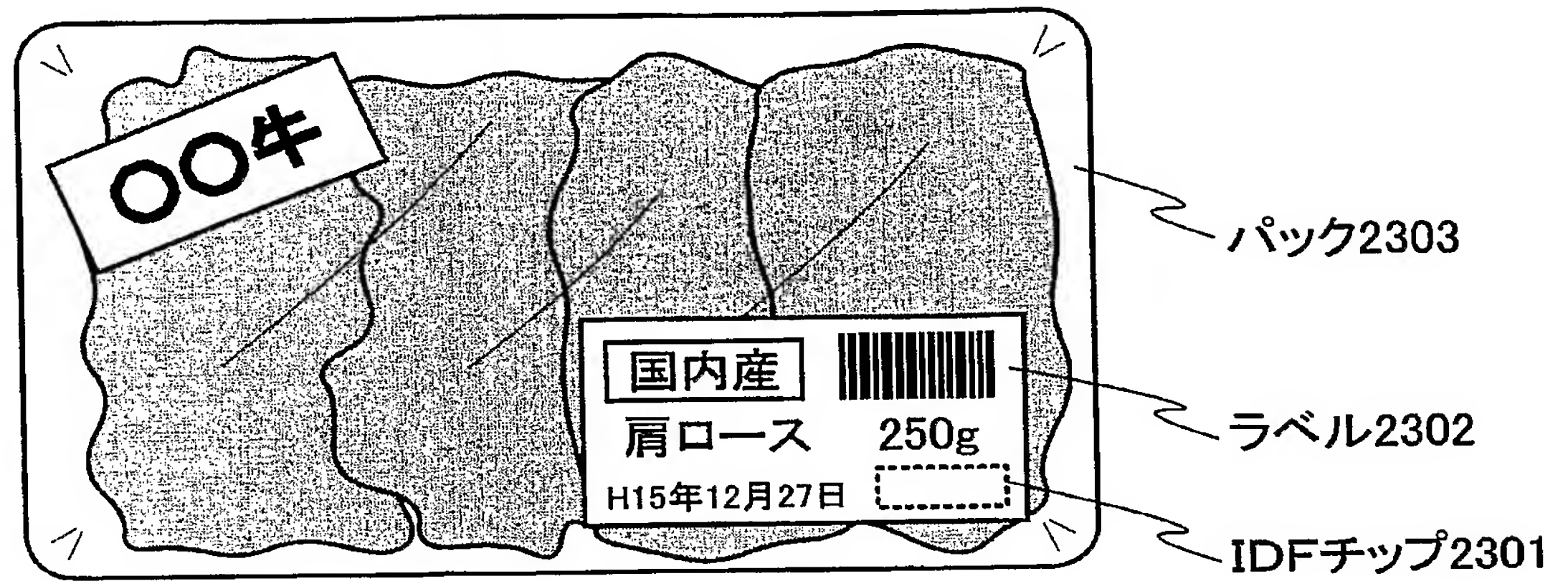


【図 12】

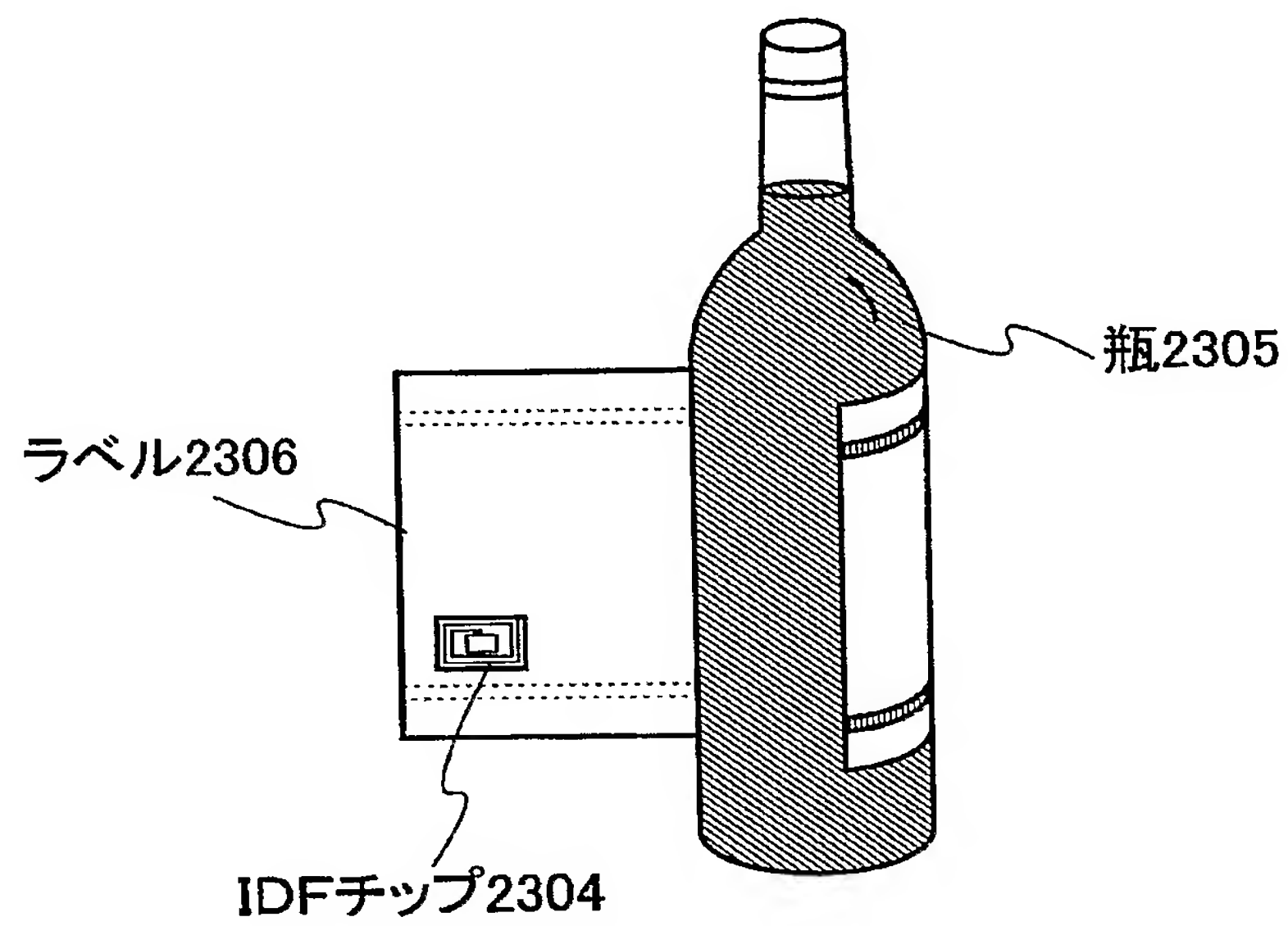


【図 13】

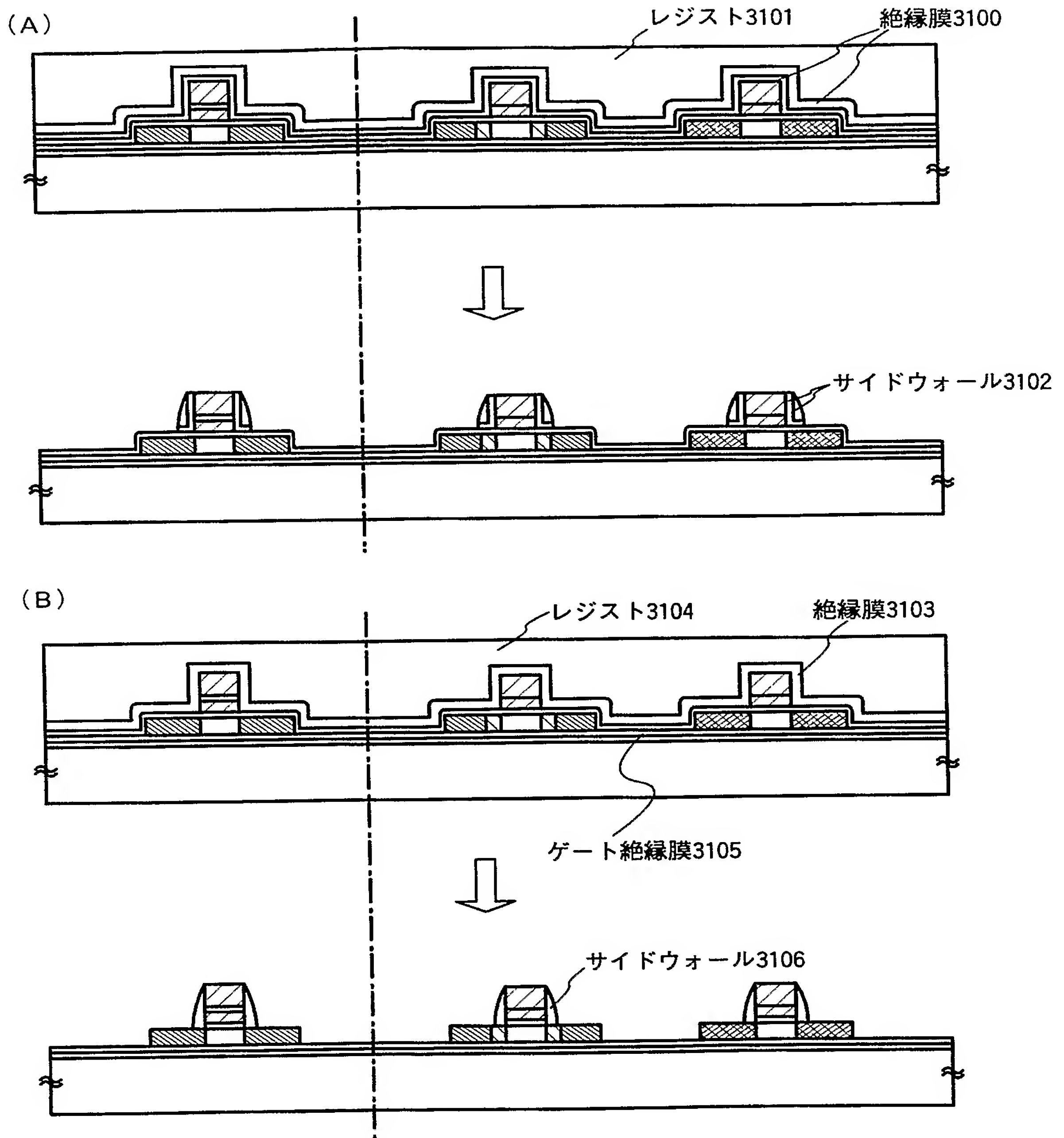
(A)



(B)



【図 14】



【書類名】 要約書

【要約】

【課題】 電氣的なデータの変更が困難な、セキュリティの高いOTPタイプの不揮発性メモリを提供することを課題とする。

【解決手段】 本発明は、二つの状態を持ち、電氣的に一方向への遷移のみが可能な記憶素子を用いたOTPタイプの不揮発性メモリにおいて、1ビットデータを記憶するのに複数の記憶素子を用いることを要旨とし、H状態とL状態（以下単に「H」、「L」ともいう。）の二つの状態を持ち、電氣的にはLからHへの一方向の遷移のみが可能な記憶素子を用いたOTPタイプの不揮発性メモリにおいて、1ビットデータの格納に2つの記憶素子を用いることを特徴とする。

【選択図】 図1

特願 2 0 0 4 - 0 3 3 0 7 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1 . 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所